

## 公 告 本

申請日期：

85. 0. 29

案號：

6

類別：

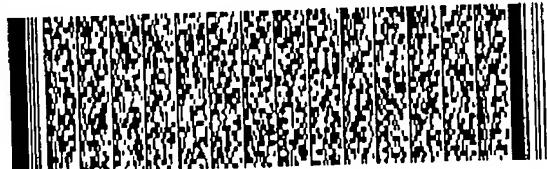
H03B 5/32

(以上各欄由本局填註)

## 發明專利說明書

429670

一、 發明名稱	中 文	壓控振盪器頻率調整之方法與結構
	英 文	METHOD AND CONFIGURATION FOR FREQUENCY ADJUSTMENT OF A VOLTAGE CONTROLLED OSCILLATOR
二、 發明人	姓 名 (中文)	1. 蔡育源
	姓 名 (英文)	1. Yu-Yuan Tsai
	國 籍	1. 中華民國
	住、居所	1. 台北縣鶯歌鎮大湖里朝陽街26巷8號
三、 申請人	姓 名 (名稱) (中文)	1. 台達電子工業股份有限公司
	姓 名 (名稱) (英文)	1. DELTA ELECTRONICS, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉山頂村興邦路31之1號
代表人 姓 名 (中文)	1. 鄭崇華	
代表人 姓 名 (英文)	1.	



BEST AVAILABLE COPY

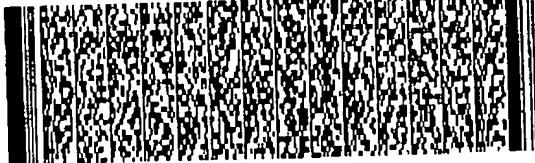
429670

四、中文發明摘要 (發明之名稱：壓控振盪器頻率調整之方法與結構)

本發明揭示一種藉互相連接複數個電路元件而構成之電子裝置。該電子裝置包括一第一圖案化導電層，以構成互相連接該複數個電路元件之圖案化微帶。該微帶之一構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，該開放之傳輸線並經分段切割，以調整該電子裝置之電容量。於另一較佳實施例中，本發明揭示一種藉互相連接複數個電路元件而構成之電子裝置。該電子裝置包括一第一圖案化導電層，以構成互相連接該複數個電路元件之微帶。該微帶其中之一並構成一連接兩電容器之電容器連接線，該電容器連接線並經部分切割，以提供一串聯之電感耦合至該電容器。

英文發明摘要 (發明之名稱：METHOD AND CONFIGURATION FOR FREQUENCY ADJUSTMENT OF A VOLTAGE CONTROLLED OSCILLATOR)

The present invention discloses an electronic device formed by interconnecting a plurality of circuit elements. The electronic device includes a first patterned conductive layer constituting micro-strips for interconnecting the plurality of circuit elements. And, one of the micro-strips constituting an open-transmission line having a first end connected to a capacitor and a second end as an open-end, wherein the open transmission line is cut into separate segments for adjusting

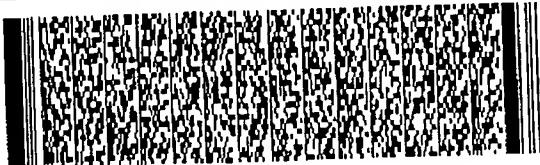


429670

四、中文發明摘要 (發明之名稱：壓控振盪器頻率調整之方法與結構)

英文發明摘要 (發明之名稱：METHOD AND CONFIGURATION FOR FREQUENCY ADJUSTMENT OF A VOLTAGE CONTROLLED OSCILLATOR)

capacitance of the electronic device. In another preferred embodiment, this invention discloses an electronic device formed by interconnecting a plurality of circuit elements. The electronic device includes a first patterned conductive layer constituting micro-strips for interconnecting the plurality of circuit elements. And, one of the micro-strips constituting a capacitor-connection line for cut partially for providing a serially connected inductance coupling to the capacitors.



429670

本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

有

1999/4/13 09/291,436

有關微生物已寄存於

寄存日期

寄存號碼

無

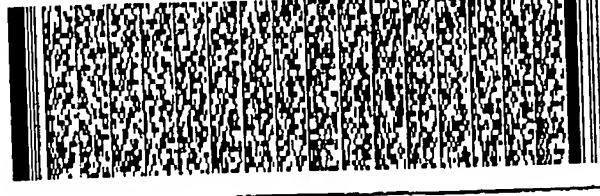
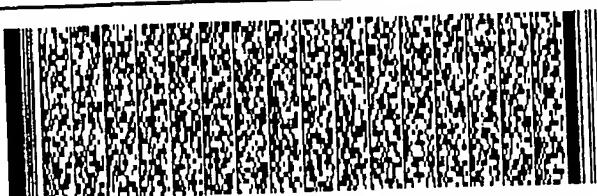


## 五、發明說明 (1)

本發明概與一種電子裝置製造之組態及方法有關。尤其特殊者，本發明係關於一種以多層微帶(micro-strips)製造微型化電壓控制振盪器之新穎組態及方法，其可藉由簡單之製造步驟增加或減少其頻率而不致影響其他電子操作特性。

一但一電子裝置之製程中，所有電路元件係依照一定之設計連接而具預先定義之特殊組態，則藉變化其互相連接之電路元件以改變操作特性之彈性通常極小。操作特性之微調往往難以滿足原設計規格，以至該裝置之成品性能測試結果可能無法完全符合原設計規格之需求。此外，性能測試常因大小變化、尺寸、電路元件功能參數統計學中不必之變動，抑或因製程條件之改變等而異。為克服製程中確定及不可預測之特性，其加以微調及調整之需求確率之要。其中一特殊之調整係有關一種電壓控制振盪器組態之簡微調。是故，吾人可藉一種不致顯著改變振盪器組態之方法，以於一合理低廉之生產成本及高度之可靠性下，供應藉改良之微型化組態所製造之電壓控制振盪器。

於另一本案申請人所申請之專利案（台灣專利公告號0347936）中，即揭示一用以將電壓控制振盪器微型化之改良電路組態。為減少振盪器尺寸須提供一改良式電感器。一電感器經配合一振盪器，藉表面固著裝置技術之應用，即可產生尺寸減少之效用。然而，採用表面固著裝置技術之製程費用較為昂貴，並將因此提高振盪器之製造成本。是故，上述專利案即揭示一種具多層導電微帶之新穎



## 五、發明說明 (2)

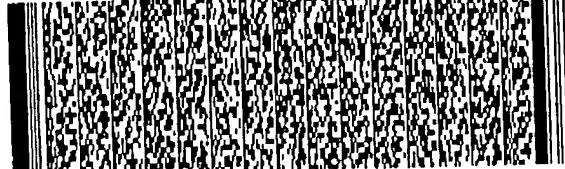
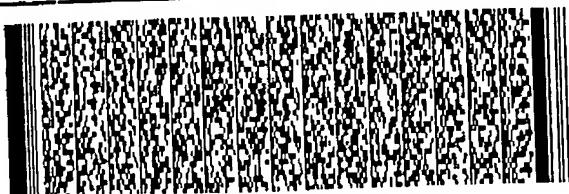
組態，以提供一使用於電壓控制振盪器之電感器。該新穎之電壓控制振盪器明顯降低電子裝置之尺寸、厚度及重量。於1998年6月2日申請而尚在審查中之美國專利申請案號09/089,269，亦揭示一具高可靠度及低成本之簡化製程所製造之振盪器。然於製程完成後仍需用以調整振盪器頻率之微調程序，以因應前述電路參數之變動。

是故，一種可簡化頻率調整操作微調程序之改良式裝置組態及製造程序尚待開發。該簡化之頻率調整程序須不致明顯改變振盪器電路之連接組態。該簡化之頻率調整程序不需昂貴設備或複雜之測試程序即可進行，俾使該製程能於明顯較短時間內簡便完成，進一步降低組裝系統之製造費用。

本發明一目的係提供一新穎之調頻組態，以製造一尺寸減小且製程簡化之電壓控制振盪器，俾克服習知技術面臨之前述限制及困難。

尤其特殊者，本發明一目的係提供一新穎之組態，藉重疊之多層導電箔片及以導電材料充填其透孔而互相連接分佈各層電路之絕緣層，以製造及組裝一電子裝置。該頻率微調功能可藉切開一導電段開放端作為一電容器，或部份切開一導電帶作為一電感器，以增加或減少其頻率。

本發明另一目的係提供一新穎之組態及組裝程序，以互相連接配置於一多層組體之電路元件，該多層組體並與經圖案化之導電箔片連接成為一微帶。該電子組件之尺寸、高度及重量可藉此減少，且因簡化之製程而節省成



## 五、發明說明 (3)

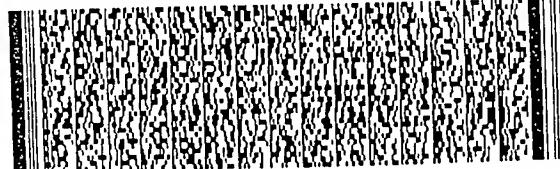
本。

本發明次一目的係提供一新穎之組態及組裝程序，以互相連接配置於一多層組體之電路元件，該多層組體並與圖案化之導電箔片連接成為一微帶。其操作特性之微調程序係藉略微變動該微帶之尺寸及形狀而得簡化。該變動可包括將傳輸線路切開為數段以減少其電容量，或將其部份切割為傳輸線路以增加其電感。

本發明揭示一種輕巧之振盪器裝置，其至少包括互相連接之一電感器、一電阻器、一電晶體及一電容器，以提供一振盪器功能。該振盪器裝置由一經圖案化而作為傳輸帶之第一導電層構成，以互相連接電容器、電阻器及電晶體之電路元件。該振盪器裝置亦包括一經圖案化而作為電感電路之第二導電層。該振盪器裝置尚包括一透孔連接第一及第二導電層，以提供一接地電壓之第一接地層。導電層與接地層間設有絕緣層。絕緣層係由其透孔充填導電填料構成，以作為設於數層電路之元件間連接通路。該絕緣層可由FR4絕緣材料構成。

簡言之，於本發明一較佳實施例中，即揭示一藉互相連接複數個電路元件形成之電子裝置。該電子裝置包括一組成微帶之圖案化第一導電層，以互相連接複數個電路元件。該微帶之一構成一開放傳輸線，其第一端接至一電容器，第二端則作為一開放端，而於該端開放傳輸線經分段切割，以調整電子裝置之電容量。

於本發明另一較佳實施例中，揭示一藉互相連接複數



## 五、發明說明 (3)

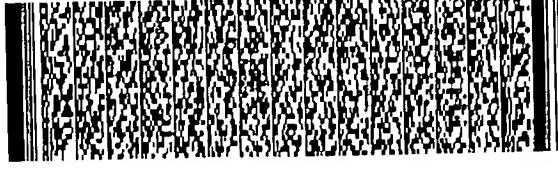
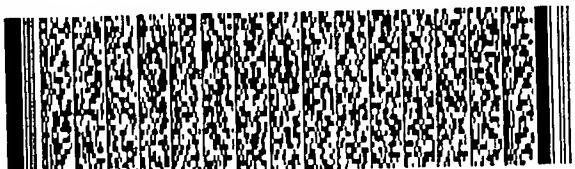
本。

本發明次一目的係提供一新穎之組態及組裝程序，以互相連接配置於一多層組體之電路元件，該多層組體並與圖案化之導電箔片連接成為一微帶。其操作特性之微調程序係藉略微變動該微帶之尺寸及形狀而得簡化。該變動可包括將傳輸線路切開為數段以減少其電容量，或將其部份切割為傳輸線路以增加其電感。

本發明揭示一種輕巧之振盪器裝置，其至少包括互相連接之一電感器、一電阻器、一電晶體及一電容器，以提供一振盪器功能。該振盪器裝置由一經圖案化而作為傳輸帶之第一導電層構成，以互相連接電容器、電阻器及電晶體之電路元件。該振盪器裝置亦包括一經圖案化而作為感電路之第二導電層。該振盪器裝置尚包括一電子連接第一及第二導電層，以提供一接地電壓之第一接地層。導電層與接地層間設有絕緣層。絕緣層係由其透孔充填導電填料構成，以作為設於數層電路之元件間連接通路。該絕緣層可由FR4絕緣材料構成。

簡言之，於本發明一較佳實施例中，即揭示一藉互相連接複數個電路元件形成之電子裝置。該電子裝置包括一組成微帶之圖案化第一導電層，以互相連接複數個電路元件。該微帶之一構成一開放傳輸線，其第一端接至一電容器，第二端則作為一開放端，而於該端開放傳輸線經分段切割，以調整電子裝置之電容量。

於本發明另一較佳實施例中，揭示一藉互相連接複數



## 五、發明說明 (4)

個電路元件形成之電子裝置。該電子裝置包括一組成微帶之圖案化第一導電層，以互相連接複數個電路元件。該微帶之一構成一互相連接兩電容器之電容器連接線，其中電容器連接線係被部分切開，以提供一串聯之電感耦合至電容器。

本發明之目的及優點於參閱下述各圖式例示之較佳實施例詳細說明後，對本技術領域一般人士而言應明顯無疑：

第一圖為顯示本發明之振盪器裝置示意電路圖。

第二圖A為顯示圖案化導電箔片之第一層，其具導電帶功能以互相連接第一圖之電路圖中所示電容器、電阻器及電晶體之電路元件。

第二圖B為顯示使用第二圖A之圖案化導電箔片而互相連接之電路元件。

第二圖C為顯示作為第一圖所示振盪器之第一接地層之圖案化導電層。

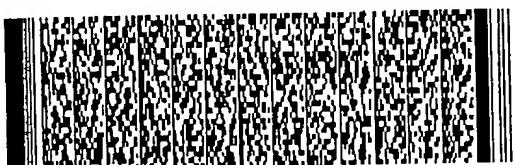
第二圖D為顯示提供第一圖所示振盪器電感電路之圖案化導電箔片。

第二圖E為顯示作為第一圖所示振盪器之第二接地層之圖案化導電箔片。

第二圖F為顯示組合第2A至第二圖E圖所示之圖案化銅層之多重層而構成之振盪器剖視圖。

第三圖為顯示本發明之另一振盪器裝置示意電路圖。

第四圖A至第四圖F為導電箔片及其類似第二圖A至第



## 五、發明說明 (5)

二圖F之剖視圖，以架構與組合第三圖所示之振盪器裝置。

第五圖為第四圖A所示圖案化導電箔片之一變化例，以增加第三圖振盪器之頻率。

第六圖為第四圖A所示圖案化導電箔片之一變化例，以降低第三圖振盪器之頻率。

101、104、105、106：圖案化銅箔

102：圖案化銅箔或第一接地電位層

103、203：圖案化銅箔或第二傳輸層

107、207：圖案化銅箔或第二接地層

108：電阻器

109：電晶體

110、C3、C5：電容器

111：二極體

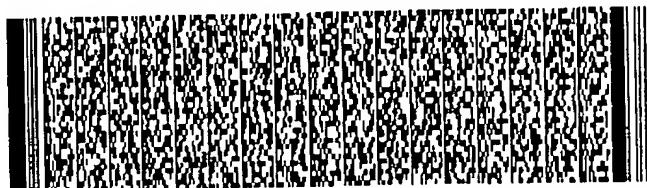
112、113、114：絕緣層

201：第一傳輸層

L1、L2、L3：電感

A、B：傳輸線

參閱第一圖所示本發明之振盪器裝置示意電路圖。第一圖所示之電壓控制振盪器包括電感器、電阻器、電晶體及電容器之電路元件。本發明新穎處可由藉圖案化導電箔片及微帶之多重層而互相連接之電路元件進一步解釋。有別於傳統電路中如電感器、電阻器、電晶體及電容器等電路元件係藉導線互相連接，圖案化導電箔片及微帶之多重



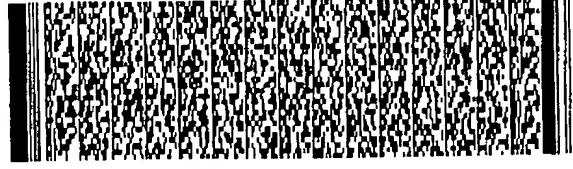
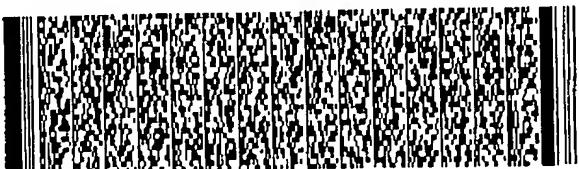
## 五、發明說明 (6)

導電層即提供電路間之互相連接。

參閱第二圖A，其顯示提供第一圖之電路元件間一互相連接層之圖案化銅箔第一層101。尤其特殊者，如第一圖所示電感器、電阻器、電晶體及電容器等不同電路元件間之相對位置係示於第二圖B。參閱第二圖C，其顯示作為本發明之振盪器第一接地電位層之圖案化銅箔第二層102。參閱第二圖D，其顯示作為第二傳輸層之圖案化銅箔103。圖案化銅箔104構成電感L1、圖案化銅箔105構成電感L2、圖案化銅箔106構成電感L3，且電感L1、L2及L3之等效電路連接係示於第一圖。參閱第二圖E，其顯示作為本案振盪器之第二接地層之圖案化銅箔107。

第二圖F顯示於各層間設置絕緣層112、113及114以組合101至107圖案化銅層之多重層而構成之振盪器剖視圖。絕緣層112、113及114可由玻璃纖維FR4構成。將一電阻器108、一電晶體109、一電容器110及一二極體111依第一圖所示之各電路元件位置焊接於銅箔101之第一層，該振盪器製造程序即告完成。第二圖A所示之第一傳輸層101包括複數個導電微帶，而具導電微帶之第二傳輸層103則提供三導電體L1、L2及L3之電路元件。第一及第二接地層102及107藉連通孔連接至傳輸層101及103。於絕緣層112、113及114穿設通孔並於通孔內充填導電材料，即可達成該通孔之連接效應。

依本發明所揭示，其電感可由如銅箔等圖案化導電箔片經浸蝕程序將箔片刻印為帶狀線條而形成。本發明亦揭



## 五、發明說明 (7)

示一經縮減尺寸、重量及厚度之振盪器。藉由一適用於大量製造之簡化程序，該振盪器生產成本亦較應用表面固著裝置技術製造之振盪器低廉。

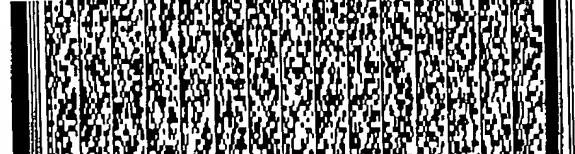
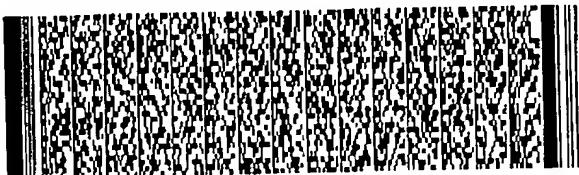
參閱第三圖所示本發明另一振盪器電路圖。第三圖中之振盪器係使用第四圖A至第四圖D所示之傳輸層及接地層所製造。參閱第四圖A所示之第一傳輸層201，其電路元件相對位置示於第四圖B，而藉微帶線路互相連接。第四圖C所示為一圖案化銅箔202，以作為第三圖中振盪器之第一接地層之用。第四圖D所示為一圖案化銅箔202，其構成提供電感器電路功能之第二傳輸層203之微帶。第四圖E所示為作為第二接地層207之另一微帶銅箔。上述四層經組合而成類似第四圖F所示之振盪器。

為調整振盪器頻率，作為第一傳輸層201內傳輸線路之微帶可藉些微差異之圖案化而彈性變化，以微調其電路頻率。舉例而言，參閱第五圖，傳輸線A沿線a切為兩段。當傳輸線A切為兩段後，一新電容器即於C4及傳輸線A之連接點形成。當傳輸線A切為兩段而形成一具電容量C(A)之電容並聯至C4，即可藉此減少振盪器之電容量。其新電容量C'為：

$$C' = C_4 + C(A) < C_4 + C(A) \text{ 原始值}$$

開放端傳輸線A之長度將小於波長/4。

振盪器頻率既反比於電路之LC值，其中L為電感量而C為電容量，當電容量C降低即可獲得一較高頻率。是故，藉由將傳輸線A切為兩段，可增加振盪器之頻率。於一頻



## 五、發明說明 (8)

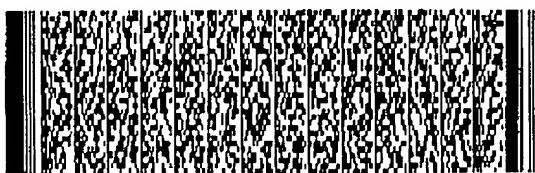
率2.0GHz之代表性電路中，藉由將傳輸線A切為兩段，可將頻率增加約60MHz。

依第五圖及前述說明，本發明揭示一種藉互相連接複數個電路元件構成之電子裝置。該電子裝置包括一第一圖案化導電層201，其構成用以互相連接複數個電路元件之微帶。且該微帶之一，諸如傳輸線A，將組成一開放端傳輸線，其第一端接至一電容器C5而第二端則作為一開放端，其中該開放端傳輸線A係為調整電子裝置之電容量而切開。

第六圖所示之另一較佳實施例中，有別於將傳輸線A切開為兩段之方式，傳輸線B係沿線b、線c及線d部分切開，以構成一電路之電感器並增加振盪器之電感量。是故，振盪器頻率將因電感量之增加而降低。於一具代表性之電路中，藉由將傳輸線B沿線b、線c及線d部分切開，一2.0GHz之振盪器其頻率將降低約40MHz。

依第六圖及前述說明，本發明揭示一種藉互相連接複數個電路元件構成之電子裝置。該電子裝置包括一第一圖案化導電層201，其構成用以互相連接複數個電路元件之微帶。且該微帶之一，諸如傳輸線B，將組成一互相連接兩電容器C5及C3之電容器連接線，其中該電容器連接線B係部分切開以提供一串聯至電容器之一耦合電感器。

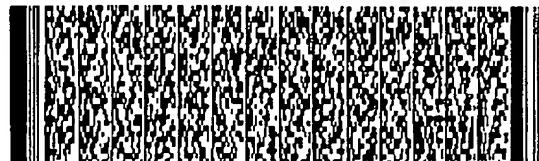
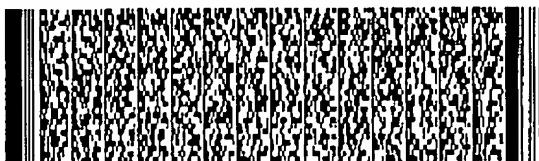
綜上所述，本發明揭示一製造電壓控制振盪器之新穎調頻組態，其具縮減之尺寸及簡化之製程，而能克服習知技術遭遇之限制及困難。尤為特殊者，本發明揭示一製造



## 五、發明說明 (9)

及組裝電子裝置之新穎調頻組態，其係藉重疊多層之導電箔片及絕緣層，並於絕緣層透孔內充填導電材料，以互相連接分布於各層上之電路。其頻率微調作用係藉切開導電段開放端作為一電容器，或部分切開一導電帶作為一電感器，以減少或增加其頻率。本發明亦揭示一新穎組態及組裝程序，用以互相連接分布於一與圖案化導電箔片連接成一微帶之多層組體之電路元件。由於其簡化之製程，該電子組件之尺寸、高度及重量因而降低並能節省成本。操作特性之微調程序可藉微帶尺寸及形狀略微變化而簡化。該變化可包括將傳輸線分段切開以減少電容量，或部分切開傳輸線以增加電感量。

本發明雖已藉其最佳實施例予以敘明，然其旨並非用以將本發明限定於業經揭示之最佳實施例。眾所皆知者，經參閱上述揭示之內容後，熟習本技術領域人士當可輕易依此逕行諸多修改及替換。是故，該等修改及替換皆仍涵括於下述申請專利範圍界定之精神及範疇內。



## 六、申請專利範圍

1. 一種藉由互相連接之複數個電路元件以製造一電子裝置之方法，其步驟包括：

圖案化一第一導電層而形成微帶用以互相連接該複數個電路元件；

將作為具有連接一電容器之第一端及作為一開放端之第二端之開放傳輸線的其中一微帶分段切割以提供一新第二電容器，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯；

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體；

部分切割並圖案化該第一導電層之一微帶以形成一電感電路；

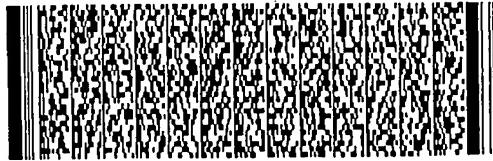
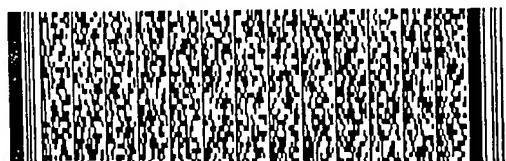
將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方，並連接該第二圖案化導電層至一接地電壓；

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方，並使該第三圖案化導電層提供電感功能；以及

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接配置於該第一圖案化導電層之電路元件至該第三圖案化導電層。

2. 一種藉由互相連接複數個電路元件以製造一電子裝置之方法，其步驟包括：

形成一第一圖案化導電層，以提供互相連接該複數個



## 六、申請專利範圍

電路元件之複數個微帶；以及

將作為一一具有連接一電容器之第一端及作為一開放端之第二端開放傳輸線之其中一微帶分段切割以提供一新第二電容器，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯；

3. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體。

4. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

部分切割並圖案化該第一圖案化導電層以形成一電感電路。

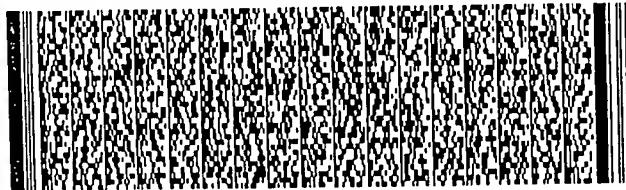
5. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方；以及連接該第二圖案化導電層至一接地電壓。

6. 如申請專利範圍第5項所述之製造一電子裝置之方法，其更包括：

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

於該第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接該第三導電層至配置於該第一圖案



## 六、申請專利範圍

化導電層之電路元件。

7. 一種藉由互相連接複數個電路元件以製造一電子裝置之方法，其步驟包括：

將一第一導電層圖案化以形成互相連接該複數個電路元件之微帶；

藉由部分切割其中一微帶以提供一電感器，其中該微帶作為一連接兩位於第一導電層之電容器之電容器連接線，以提供一串聯耦合電感電容電路元件於第一導電層上；

藉由該第一圖案化導電層之其中一微帶互相連接一電阻器至一電晶體；

部分切割並圖案化該第一導電層之其中一微帶以形成一電感電路；

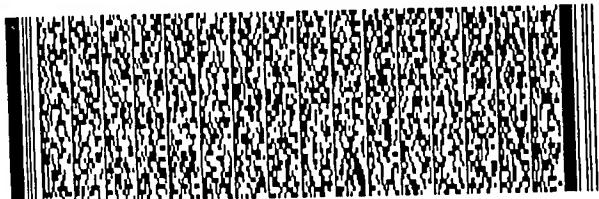
將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方，並連接該第二圖案化導電層至一接地電壓；

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接配置於該第一圖案化導電層之電路元件至該第三圖案化導電層。

8. 一種藉由互相連接複數個電路元件以製造一電子裝置之方法，其步驟包括：

圖案化一第一導電層，以形成互相連接該複數個電路



## 六、申請專利範圍

元件之複數個微帶；以及

藉由部分切割其中一微帶以提供一電感器，其中該微帶作為一連接兩位於第一導電層之電容器之電容器連接線，而提供一串聯耦合電感電容電路元件於第一導電層上。

9. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體。

10. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

藉由部分切割並圖案化該第一圖案化導電層之一微帶以形成一電感電路。

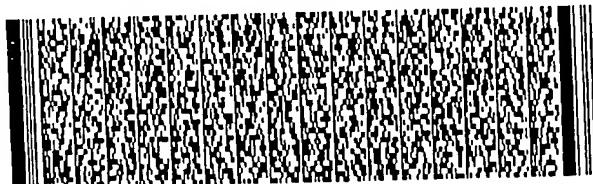
11. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方；以及連接該第二圖案化導電層至一接地電壓。

12. 如申請專利範圍第11項所述之製造一電子裝置之方法，其更包括：

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

將一第三絕緣層置於該第三圖案化導電層下方，且將一第四圖案化導電層置於該第三絕緣層下方，並連接該第



## 六、申請專利範圍

四圖案化微帶圖案化導電層至一接地電壓；

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接該第三導電層至配置於該第一圖案化導電層之電路元件。

13. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被切割成分開片段以形成一第二電容，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯；

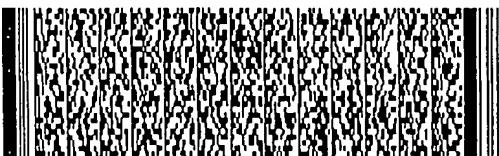
藉由該圖案化導電層之一微帶而互相連接之一電阻器及一電晶體；

藉由部分切割圖案化其中一該微帶而形成之一電感電路；

藉由一第一絕緣層而與該第一圖案化導電層絕緣之第二圖案化導電層；

一提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及第二導電層間並藉由第一及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。



## 六、申請專利範圍

14. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；以及

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被切割分開片段以形成一第二電容，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯；

15. 如申請專利範圍第14項所述之電子裝置，其更包括：

藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體。

16. 如申請專利範圍第14項所述之電子裝置，其更包括：

藉由部分切割並圖案化其中一微帶而形成之一電感電路。

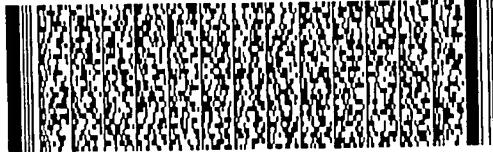
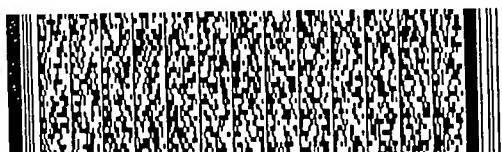
17. 如申請專利範圍第14項所述之電子裝置，其更包括：

藉由一第一絕緣層而與該第一圖案化導電層絕緣之第二圖案化導電層；以及

該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

18. 如申請專利範圍第17項所述之電子裝置，其更包括：

一提供一接地電壓之第三圖案化導電層，其設置於與



## 六、申請專利範圍

該第一導電絕緣層之第一導電層下方而且位於第二圖案化導電層上方；

一設置於該第三圖案化導電層及該第二圖案化導電層間之第二絕緣層；以及

該第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

19. 如申請專利範圍第17項所述之電子裝置，其更包括：

一提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及該第二導電層間並藉由第一及第二絕緣層與該第一及第二導電層絕緣；以及

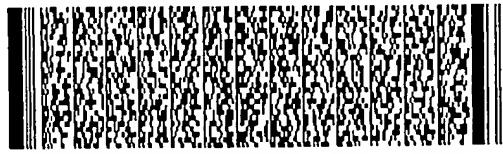
該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

20. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶作為一連接兩位於第一導電層之電容器之電容器連接線，其中該電容器連接線被部分切割，以提供一串聯耦合電感電容電路元件於第一導電層上。

藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體；



## 六、申請專利範圍

藉由一第一絕緣層而與該第一圖案化導電層絕緣之一第二圖案化導電層；

該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件；

一提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及第二導電層間並藉由該第一絕緣層及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

21. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

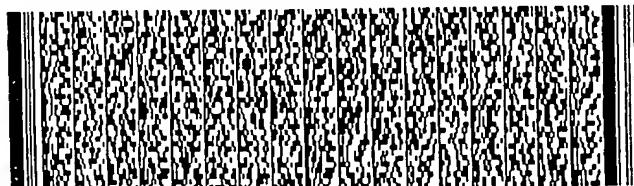
其中一微帶構成一連接兩位於第一導電層之電容器之電容器連接線，其中該電容器連接線被部分切割，以提供一串聯耦電感電容電路元件於第一導電層上。

22. 如申請專利範圍第21項所述之電子裝置，其更包括：

藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體。

23. 如申請專利範圍第21項所述之電子裝置，其更包括：

藉由一第一絕緣層而與該第一圖案化導電層絕緣之一



## 六、申請專利範圍

第二圖案化導電層；以及

該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

24. 如申請專利範圍第21項所述之電子裝置，其更包括：

一 提供一接地電壓之第三圖案化導電層，其設置於該第一絕緣層下方並與該第一導電層絕緣；以及

一 用以絕緣該第二及第三圖案化導電層之第二絕緣層，其具有內部充填導電性充填材料之透孔，以互相連接該第一圖案化導電層至該第二圖案化導電層。

25. 如申請專利範圍第21項所述之電子裝置，其更包括：

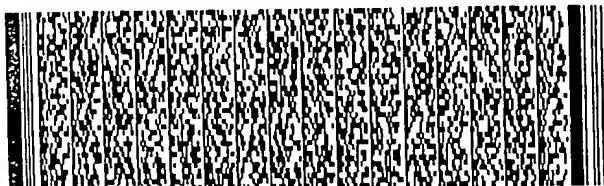
一 提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及第二導電層間並藉由該第一絕緣層及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二導電層之電路元件。

26. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

複數個圖案化導電層以構成互相連接位於該圖案化導電層上之複數個電路元件之微帶；

將作為一具有連接一第一電容器之第一端及作為一開



## 六、申請專利範圍

放端之第二端開放傳輸線之一微帶分段切割以提供一新第二電容器，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯。

設於該圖案化導電層間之複數個絕緣層；以及

每一該絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該複數個圖案化導電層之電路元件。

27. 如申請專利範圍第26項所述之電子裝置，其更包括：

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被分段切割以提供一新電容器。

28. 如申請專利範圍第26項所述之電子裝置，其更包括：

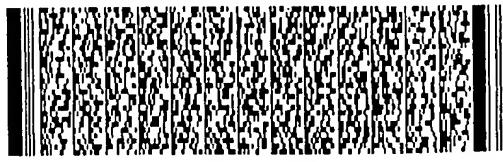
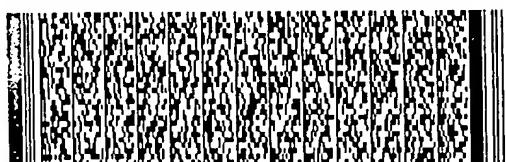
其中一微帶構成一連接兩電容器之電容器連接線，其中該電容器連接線被部分切割，以提供一耦合至該電容器之串聯電感器。

29. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被分段切割以提供一新第二電容器，以得到一較小之組合電容值；其中第一電容器與第二電容器並聯；

藉由該圖案化導電層之微帶互相連接之一電阻器及一



## 六、申請專利範圍

電晶體；

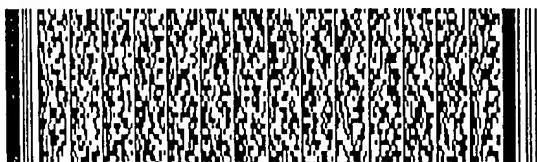
藉由部分切割及圖案化其中一微帶而形成之一電感電路；

一構成一第一接地層以提供一接地電壓之第二圖案化導電層，其藉由一第一絕緣層而與該第一圖案化導電層絕緣；

一構成一電感器層之第三圖案化導電層，其設置於該第一接地層下方並藉由一第二絕緣層與該第一接地層絕緣；

一構成一第二接地層以提供一接地電壓之第四圖案化導電層，其設置於該電感器層下方並藉由一第三絕緣層與該電感器層絕緣；以及

該第一及二絕緣層包括其內充填導電性充填材料之透孔，以互相連接該第一層及該第三層。



## 六、申請專利範圍

1. 一種藉由互相連接之複數個電路元件以製造一電子裝置之方法，其步驟包括：

圖案化一第一導電層而形成微帶用以互相連接該複數個電路元件；

將作為具有連接一電容器之第一端及作為一開放端之第二端之開放傳輸線的其中一微帶分段切割以提供一新電容器；

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體；

部分切割並圖案化該第一導電層之一微帶以形成一電感電路；

將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方，並連接該第二圖案化導電層至一接地電壓；

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方，並使該第三圖案化導電層提供電感功能；以及

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接配置於該第一圖案化導電層之電路元件至該第三圖案化導電層。

2. 一種藉由互相連接複數個電路元件以製造一電子裝置之方法，其步驟包括：

形成一第一圖案化導電層，以提供互相連接該複數個電路元件之複數個微帶；以及



## 六、申請專利範圍

將作為一一具有連接一電容器之第一端及作為一開放端之第二端開放傳輸線之其中一微帶分段切割以提供一新電容器。

3. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體。

4. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

部分切割並圖案化該第一圖案化導電層以形成一電感電路。

5. 如申請專利範圍第2項所述之製造一電子裝置之方法，其更包括：

將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方；以及連接該第二圖案化導電層至一接地電壓。

6. 如申請專利範圍第5項所述之製造一電子裝置之方法，其更包括：

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

於該第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接該第三導電層至配置於該第一圖案化導電層之電路元件。

7. 一種藉由互相連接複數個電路元件以製造一電子裝置



## 六、申請專利範圍

之方法，其步驟包括：

將一第一導電層圖案化以形成互相連接該複數個電路元件之微帶；

藉由部分切割其中一微帶以提供一電感器，其中該微帶作為一連接兩電容器之電容器連接線，以提供耦合至該電容器之一串聯之電感器；

藉由該第一圖案化導電層之其中一微帶互相連接一電阻器至一電晶體；

部分切割並圖案化該第一導電層之其中一微帶以形成一電感電路；

將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方，並連接該第二圖案化導電層至一接地電壓；

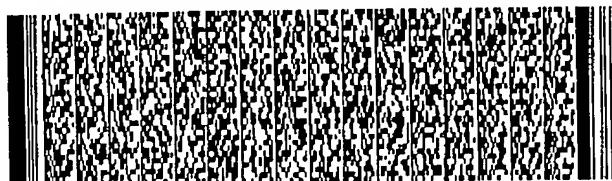
將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接配置於該第一圖案化導電層之電路元件至該第三圖案化導電層。

8. 一種藉由互相連接複數個電路元件以製造一電子裝置之方法，其步驟包括：

圖案化一第一導電層，以形成互相連接該複數個電路元件之複數個微帶；以及

藉由部分切割其中一微帶以提供一電感器，其中該微帶作為一連接兩電容器之電容器連接線，而提供耦合至該



## 六、申請專利範圍

電容器之一串聯電感器。

9. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

藉由該第一圖案化導電層之一微帶互相連接一電阻器至一電晶體。

10. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

藉由部分切割並圖案化該第一圖案化導電層之一微帶以形成一電感電路。

11. 如申請專利範圍第8項所述之製造一電子裝置之方法，其更包括：

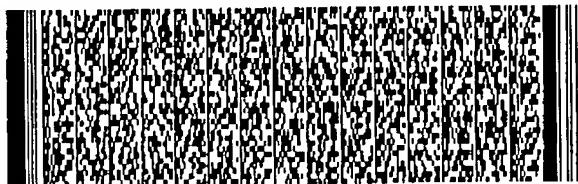
將一第一絕緣層置於該第一圖案化導電層下方，且將一第二圖案化導電層置於該第一絕緣層下方；以及連接該第二圖案化導電層至一接地電壓。

12. 如申請專利範圍第11項所述之製造一電子裝置之方法，其更包括：

將一第二絕緣層置於該第二圖案化導電層下方，且將一第三圖案化導電層置於該第二絕緣層下方；

將一第三絕緣層置於該第三圖案化導電層下方，且將一第四圖案化導電層置於該第三絕緣層下方，並連接該第四圖案化微帶圖案化導電層至一接地電壓；

於該第一及第二絕緣層開設透孔，並於該透孔內充填導電性充填材料，以互相連接該第三導電層至配置於該第一圖案化導電層之電路元件。



## 六、申請專利範圍

13. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被切割成分開片段；

藉由該圖案化導電層之一微帶而互相連接之一電阻器及一電晶體；

藉由部分切割圖案化其中一該微帶而形成之一電感電路；

藉由一第一絕緣層而與該第一圖案化導電層絕緣之第二圖案化導電層；

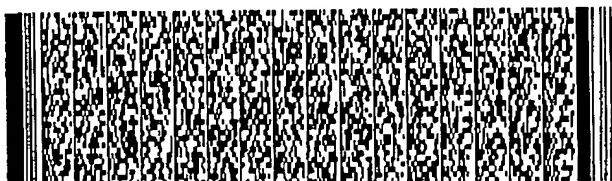
一提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及第二導電層間並藉由第一及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

14. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；以及

其中一微帶構成一開放之傳輸線，其具有連接一電容



## 六、申請專利範圍

器之第一端及作為一開放端之第二端，其中該開放之傳輸線被切割分開片段。

15. 如申請專利範圍第14項所述之電子裝置，其更包括：  
藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體。

16. 如申請專利範圍第14項所述之電子裝置，其更包括：  
藉由部分切割並圖案化其中一微帶而形成之一電感電路。

17. 如申請專利範圍第14項所述之電子裝置，其更包括：

藉由一第一絕緣層而與該第一圖案化導電層絕緣之第二圖案化導電層；以及

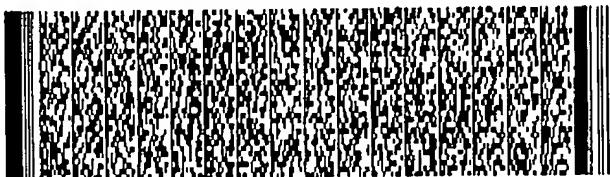
該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

18. 如申請專利範圍第17項所述之電子裝置，其更包括：

一提供一接地電壓之第三圖案化導電層，其設置於與該第一導電絕緣層之第一導電層下方而且位於第二圖案化導電層上方；

一設置於該第三圖案化導電層及該第二圖案化導電層間之第二絕緣層；以及

該第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導



六、申請專利範圍

電層之電路元件。

19. 如申請專利範圍第17項所述之電子裝置，其更包括：

一提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及該第二導電層間並藉由第一及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

20. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

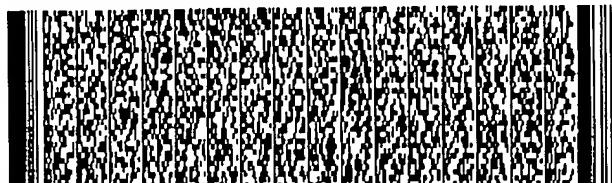
其中一微帶構成一連接兩電容器之電容器連接線，其中該電容器連接線被部分切割，以提供耦合至該電容器之串聯電感器；

藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體；

藉由一第一絕緣層而與該第一圖案化導電層絕緣之一第二圖案化導電層；

該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件；

一提供一接地電壓之第三圖案化導電層，其設置於該



## 六、申請專利範圍

第一導電層及第二導電層間並藉由該第一絕緣層及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

21. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶構成一連接兩電容器之電容器連接線，其中該電容器連接線被部分切割，以提供一耦合至該電容器之串聯電感器。

22. 如申請專利範圍第21項所述之電子裝置，其更包括：

藉由該圖案化導電層之一微帶互相連接之一電阻器及一電晶體。

23. 如申請專利範圍第21項所述之電子裝置，其更包括：

藉由一第一絕緣層而與該第一圖案化導電層絕緣之一第二圖案化導電層；以及

該第一絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二圖案化導電層之電路元件。

24. 如申請專利範圍第21項所述之電子裝置，其更包括：



## 六、申請專利範圍

一 提供一接地電壓之第三圖案化導電層，其設置於該第一絕緣層下方並與該第一導電層絕緣；以及

一 用以絕緣該第二及第三圖案化導電層之第二絕緣層，其具有內部充填導電性充填材料之透孔，以互相連接該第一圖案化導電層至該第二圖案化導電層。

25. 如申請專利範圍第21項所述之電子裝置，其更包括：

一 提供一接地電壓之第三圖案化導電層，其設置於該第一導電層及第二導電層間並藉由該第一絕緣層及第二絕緣層與該第一及第二導電層絕緣；以及

該第一及第二絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該第一圖案化導電層及該第二導電層之電路元件。

26. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

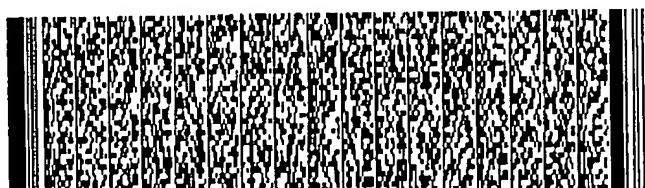
複數個圖案化導電層以構成互相連接該複數個電路元件之微帶；

設於該圖案化導電層間之複數個絕緣層；以及

每一該絕緣層包括其內充填導電性充填材料之透孔，以互相連接配置於該複數個圖案化導電層之電路元件。

27. 如申請專利範圍第26項所述之電子裝置，其更包括：

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被分段切割以提供一新電容器。



## 六、申請專利範圍

28. 如申請專利範圍第26項所述之電子裝置，其更包括：

其中一微帶構成一連接兩電容器之電容器連接線，其中該電容器連接線被部分切割，以提供一耦合至該電容器之串聯電感器。

29. 一種藉由互相連接複數個電路元件而形成之電子裝置，其包括：

一第一圖案化導電層以構成互相連接該複數個電路元件之微帶；

其中一微帶構成一開放之傳輸線，其具有連接一電容器之第一端及作為一開放端之第二端，其中該開放之傳輸線被分段切割；

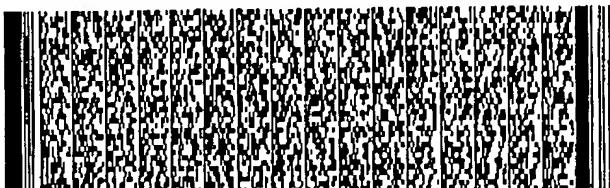
藉由該圖案化導電層之微帶互相連接之一電阻器及一電晶體；

藉由部分切割及圖案化其中一微帶而形成之一電感電路；

一構成一第一接地層以提供一接地電壓之第二圖案化導電層，其藉由一第一絕緣層而與該第一圖案化導電層絕緣；

一構成一電感器層之第三圖案化導電層，其設置於該第一接地層下方並藉由一第二絕緣層與該第一接地層絕緣；

一構成一第二接地層以提供一接地電壓之第四圖案化導電層，其設置於該電感器層下方並藉由一第三絕緣層與

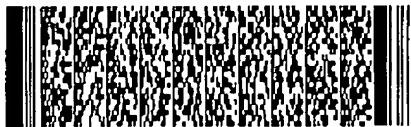


429670

六、申請專利範圍

該電感器層絕緣；以及

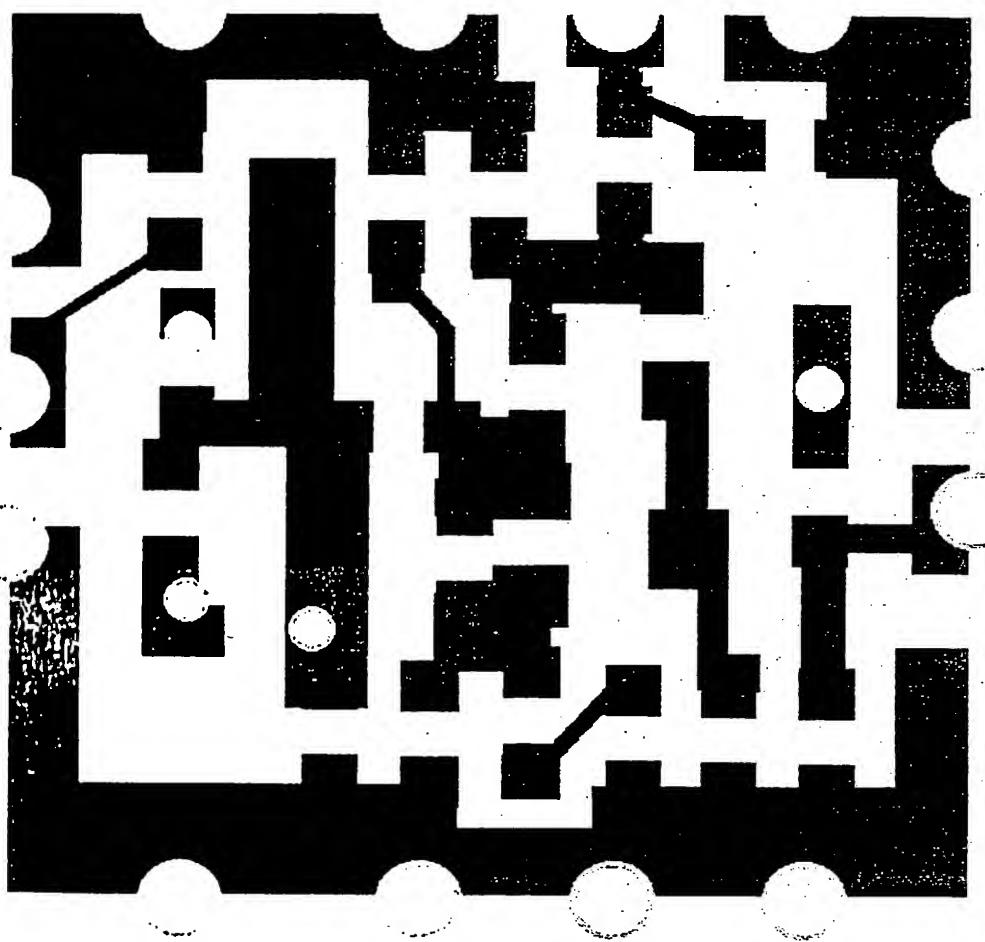
該第一及二絕緣層包括其內充填導電性充填材料之透孔，以互相連接該第一層及該第三層。



附件三

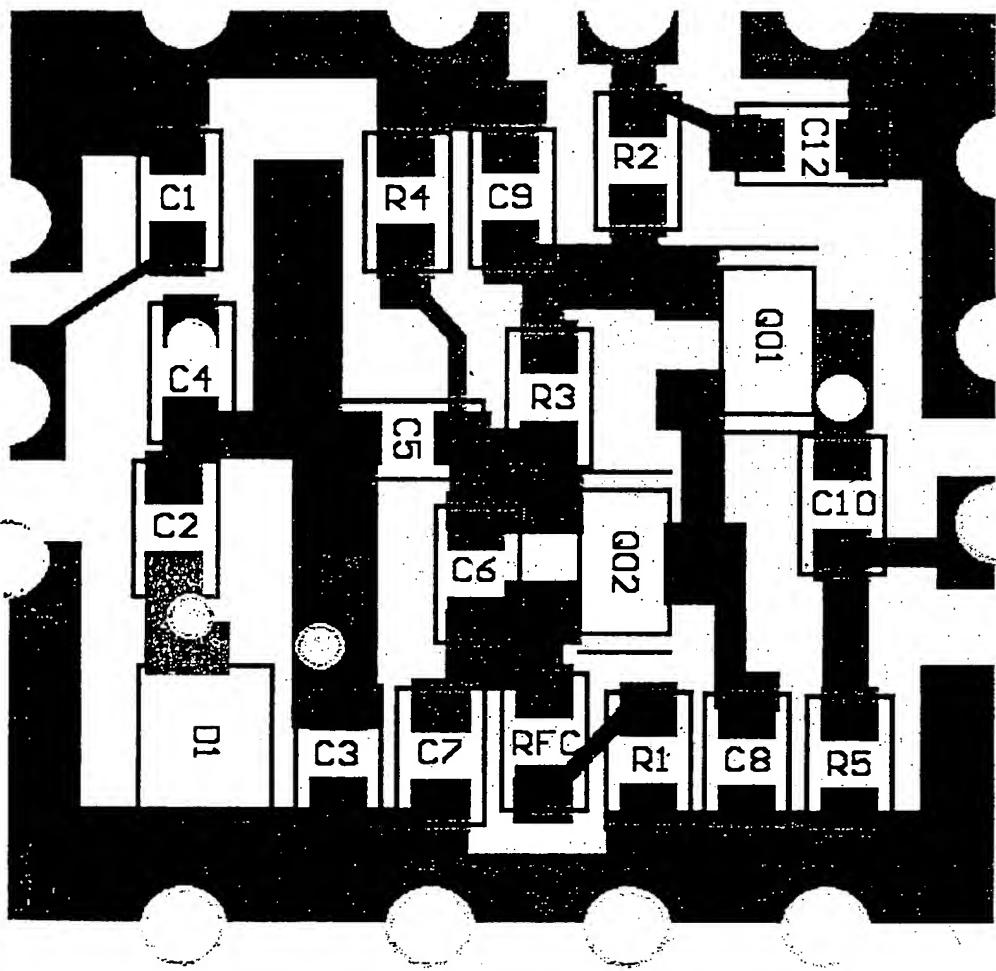
圖式

修定  
本92年3月7日  
補充



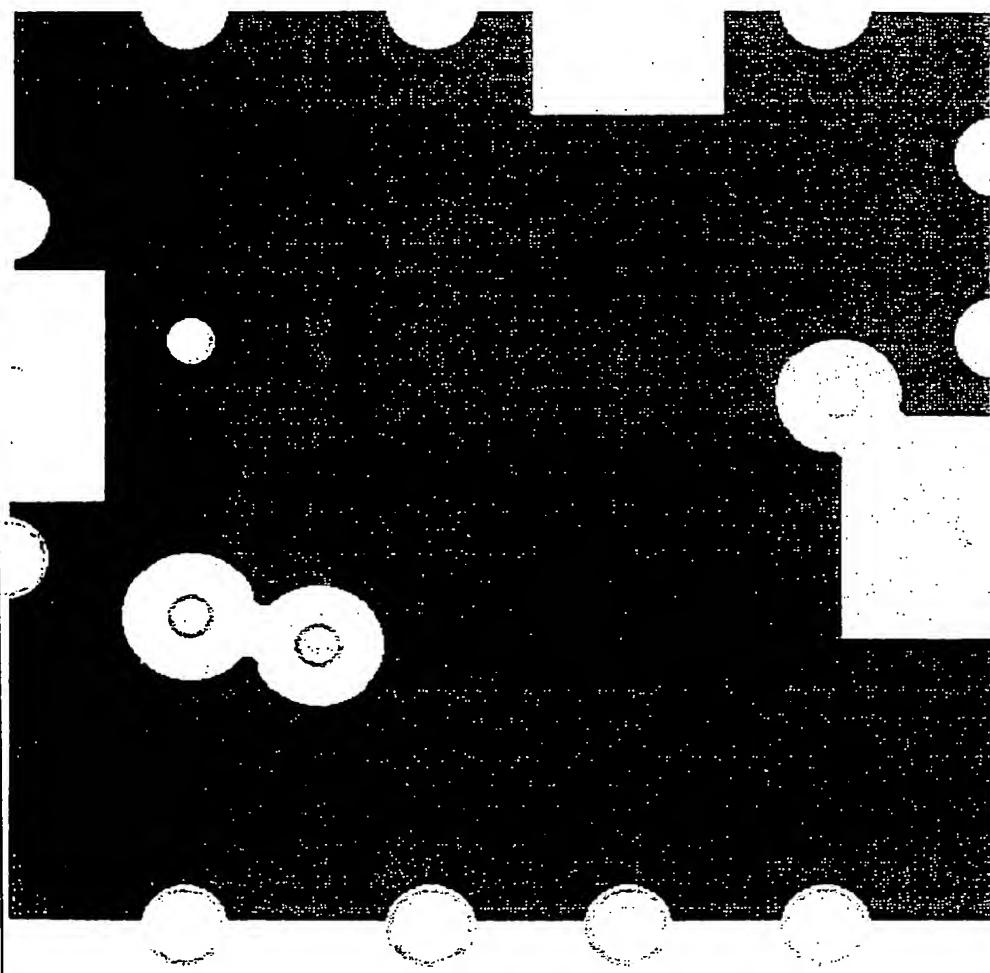
第四圖 A

圖式



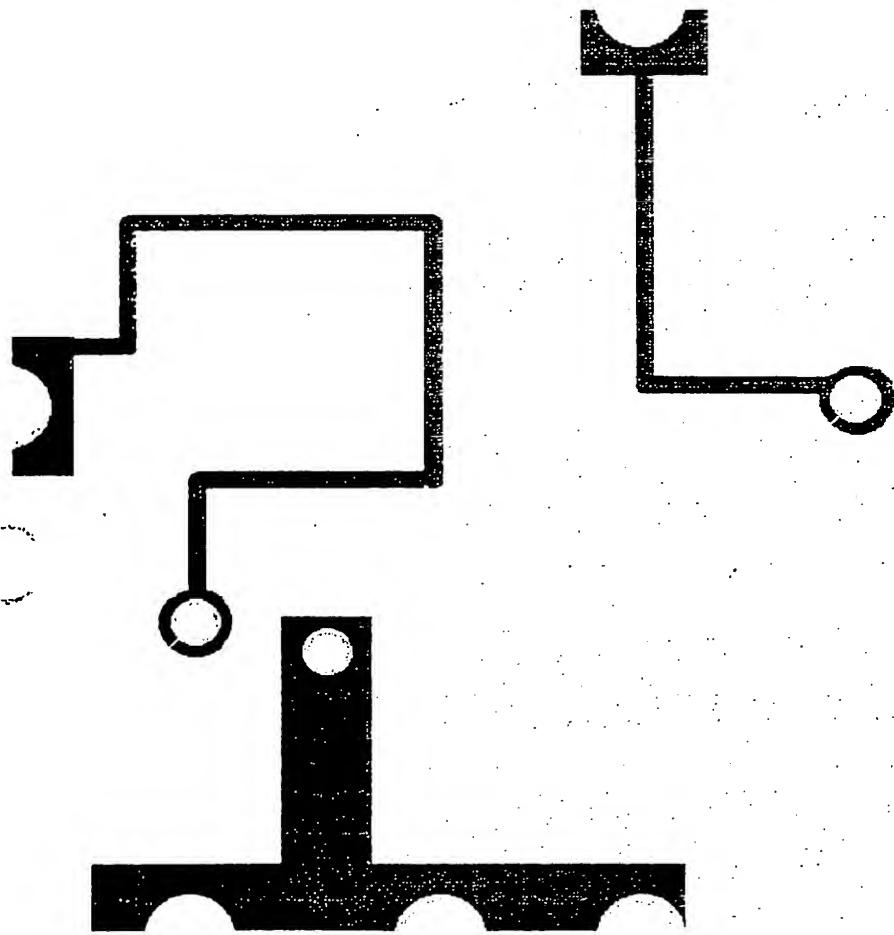
第四圖 B

圖式



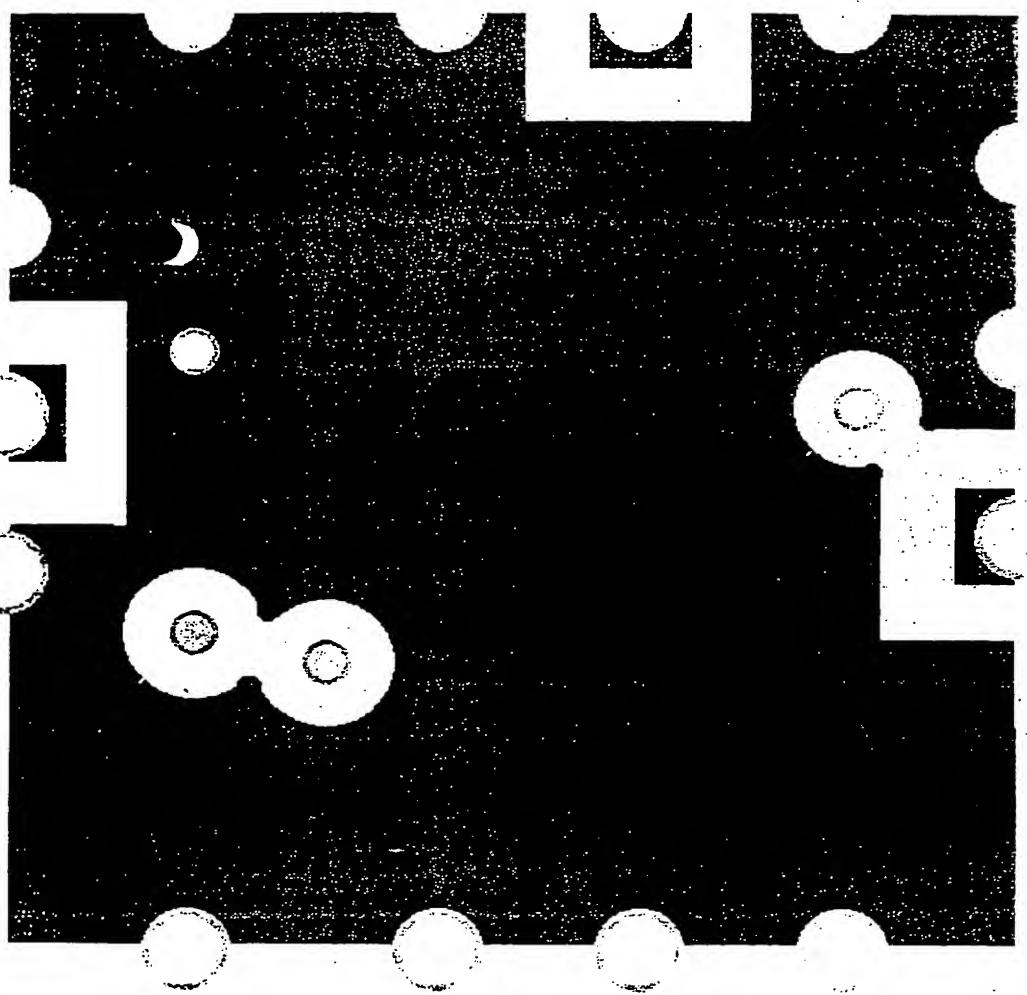
第四圖 C

圖式



第四圖 D

圖式

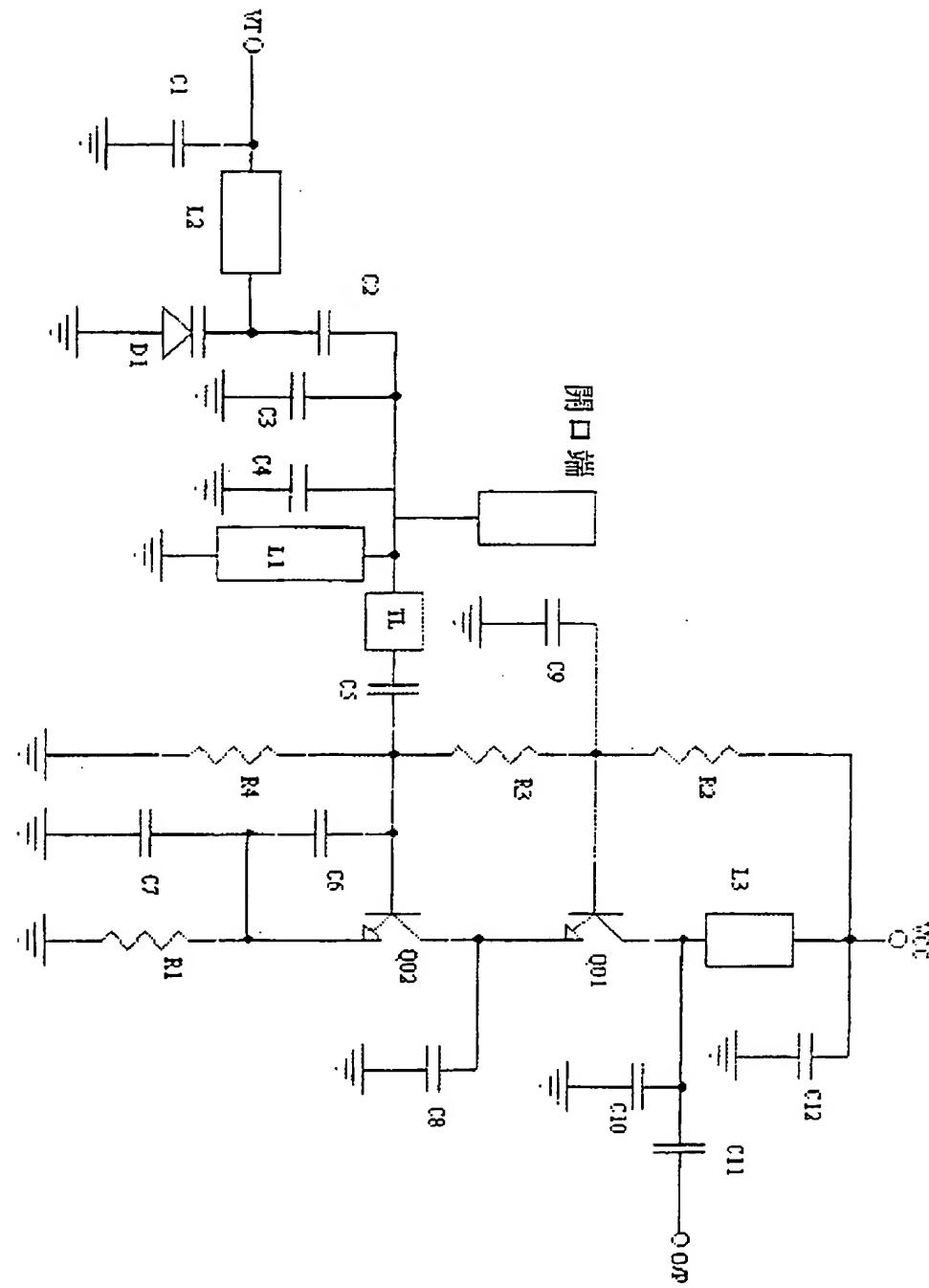


第四圖 E

429670 88116762

圖式

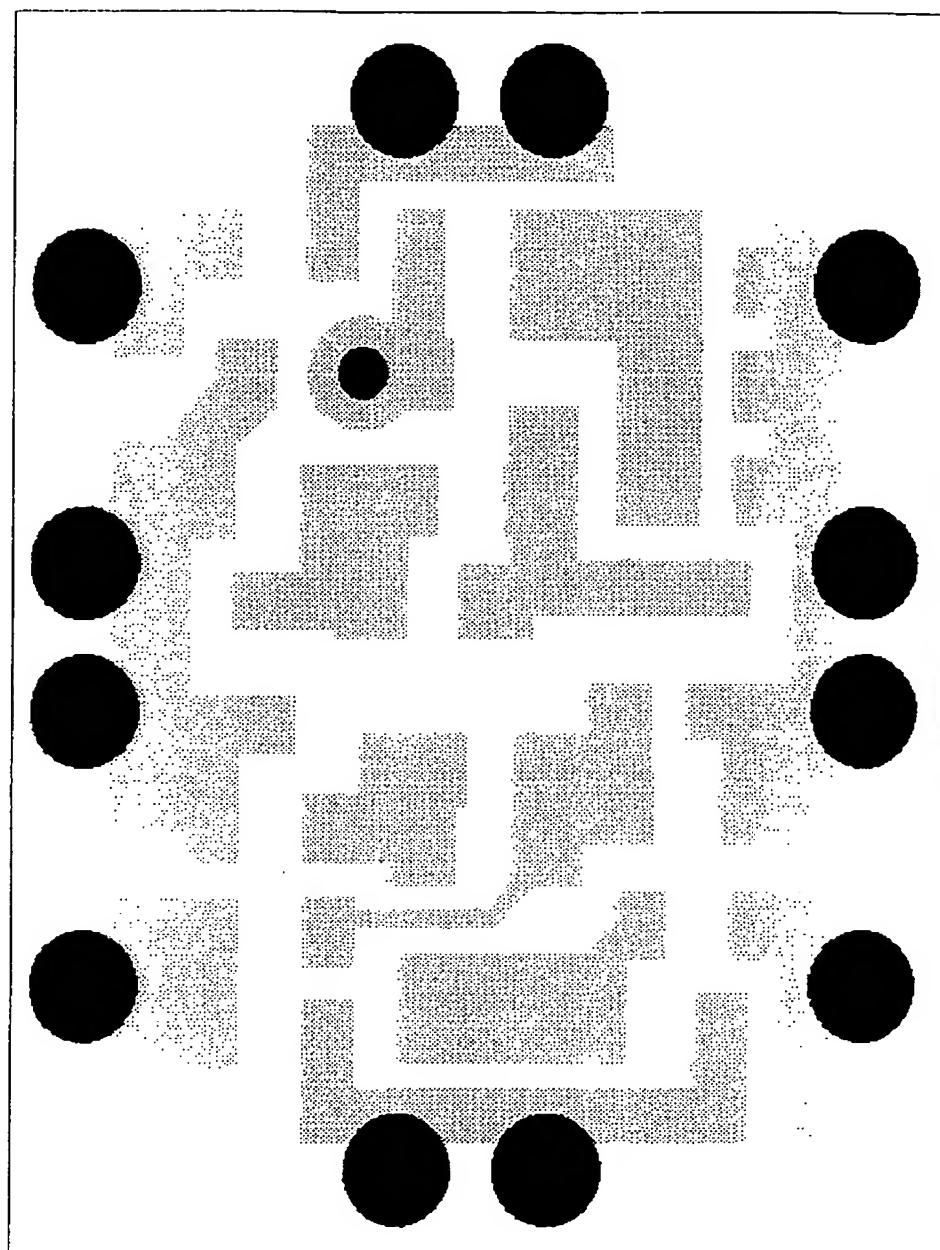
第一圖



429670

圖式

第一圖A

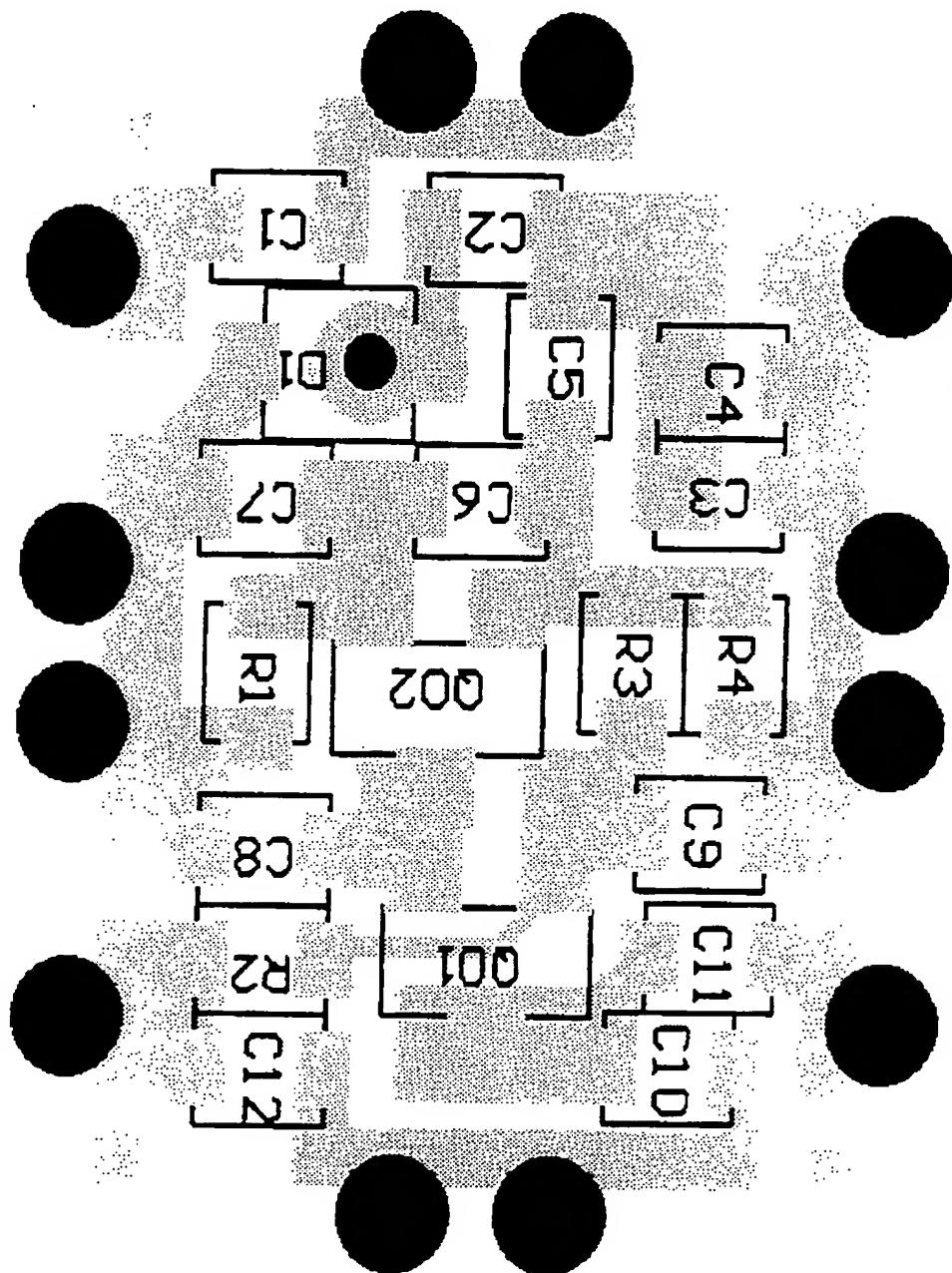


~101

429670

圖式

第二圖B

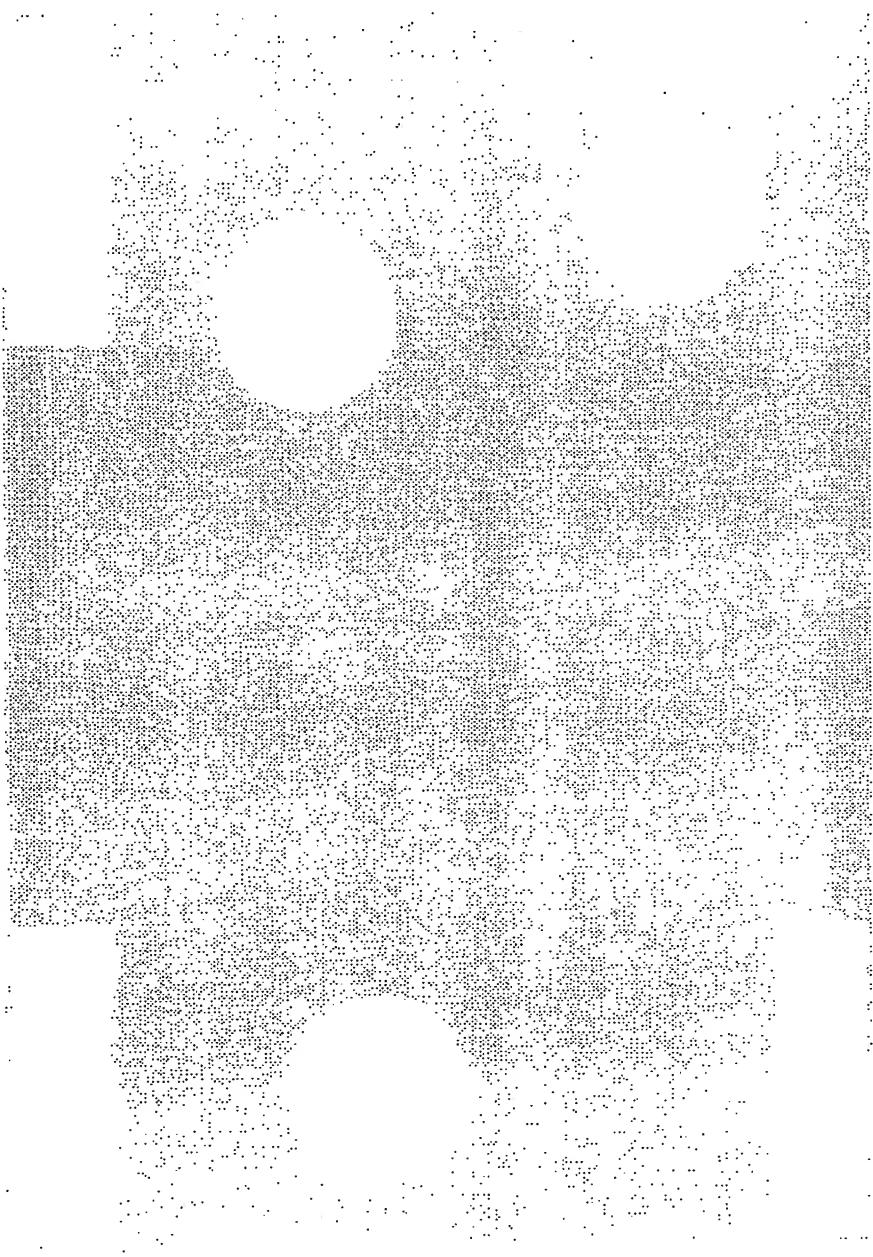


101

429670

圖式

第二圖C

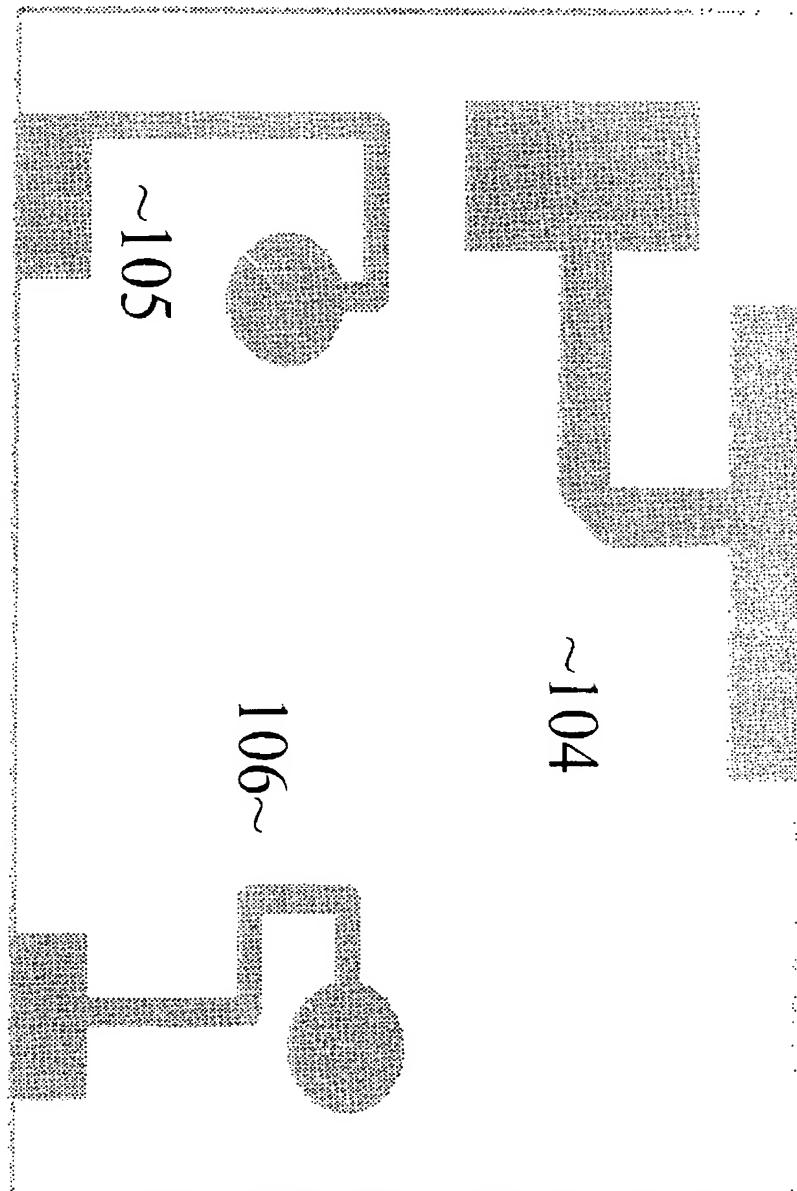


~102

429670

圖式

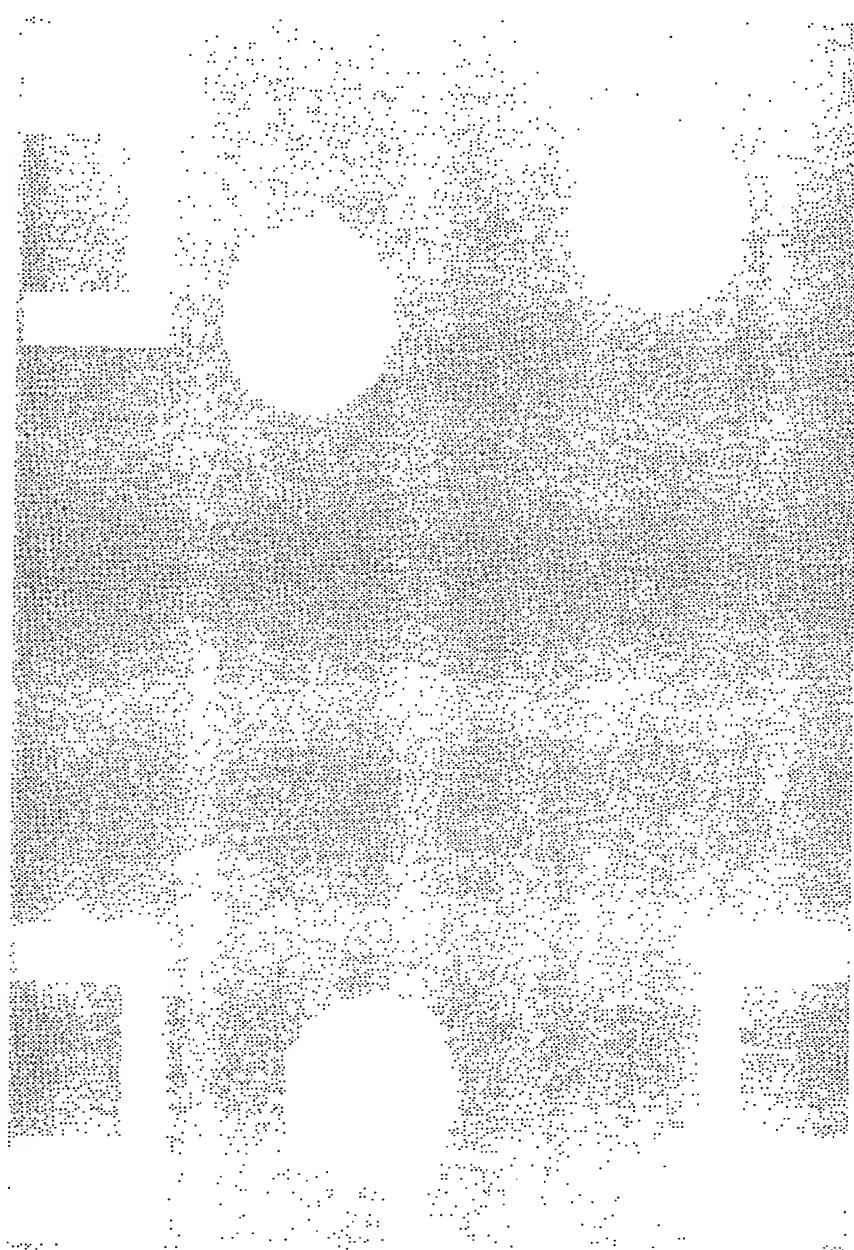
第二圖D



429670

圖式

第二圖E

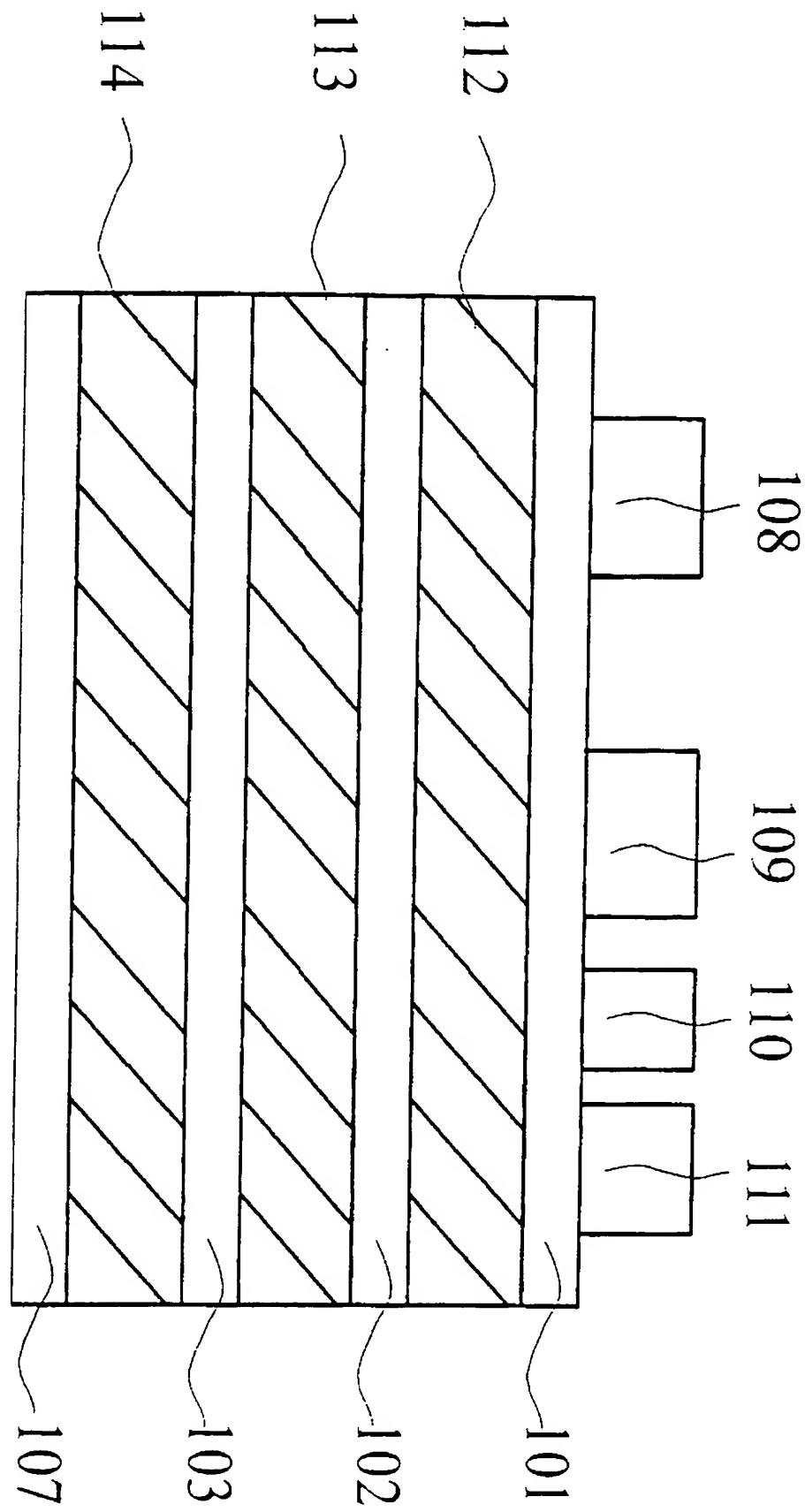


~107

429670

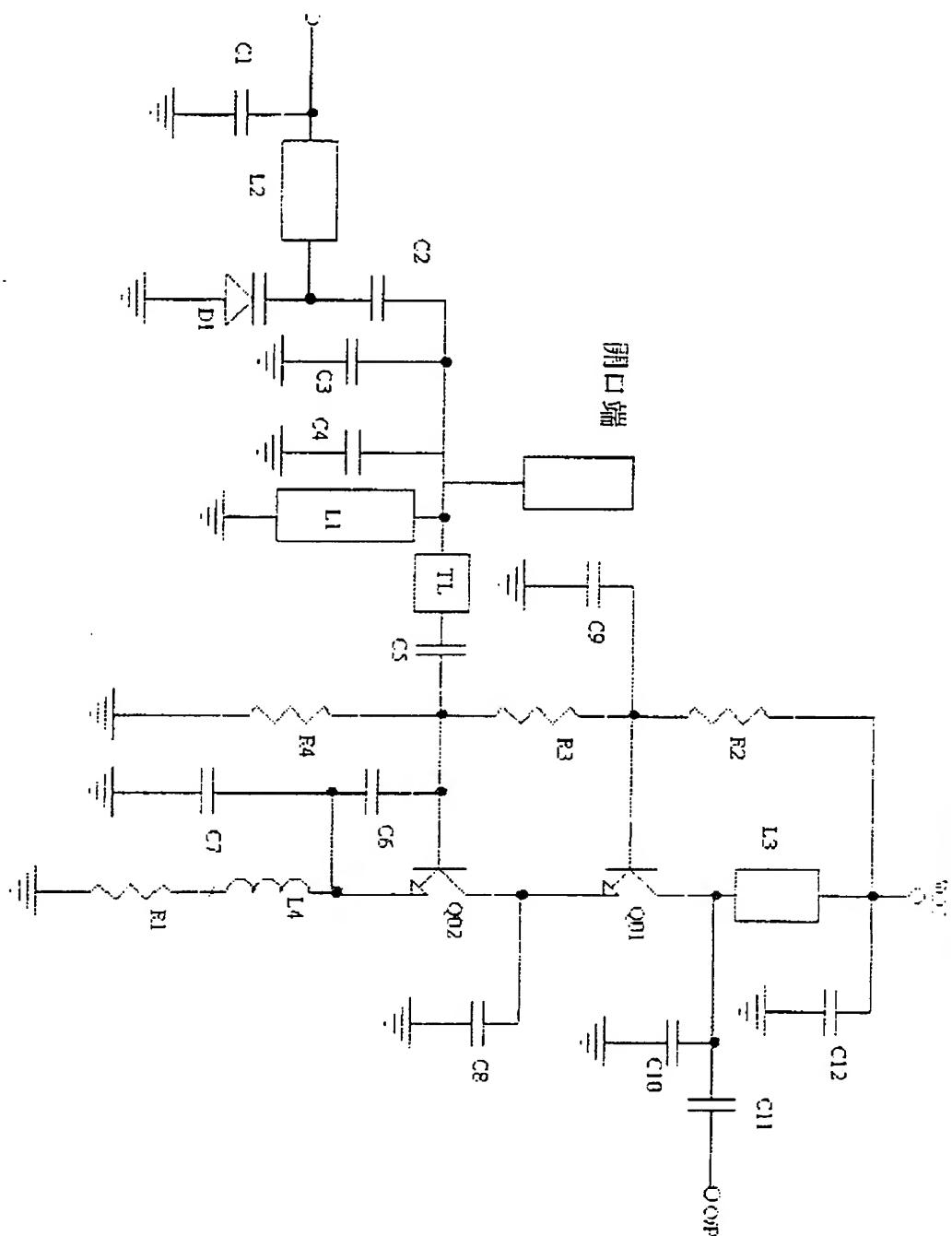
圖式

第二圖F



429670

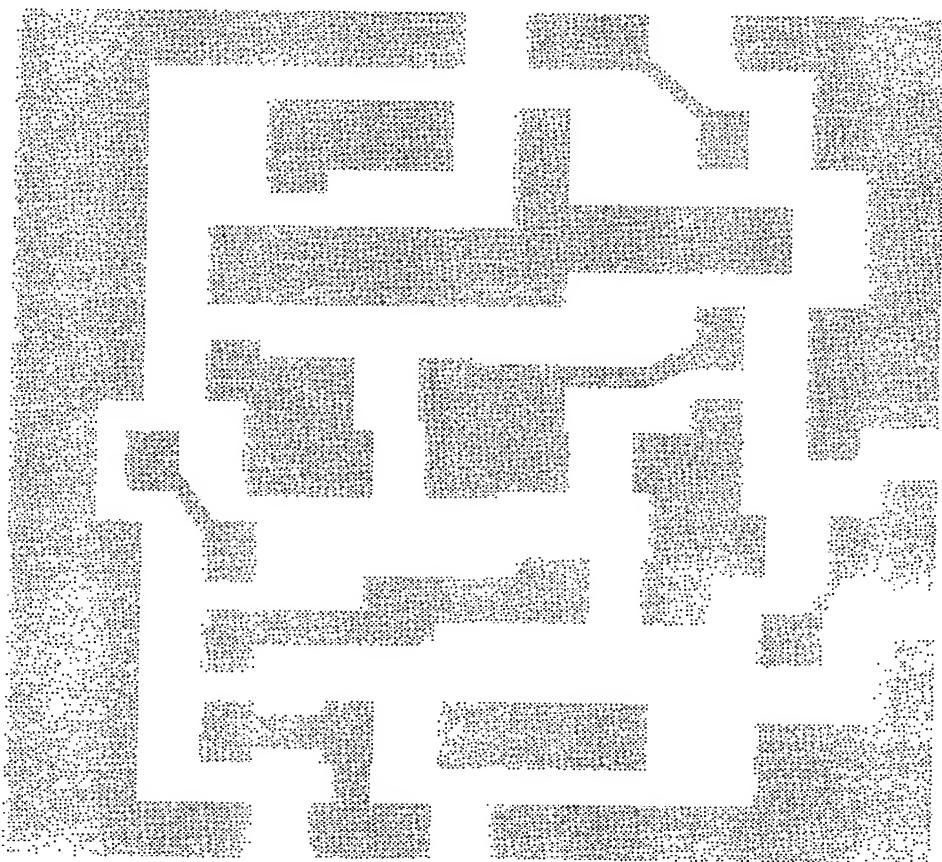
## 圖式



第三回

429670

圖式

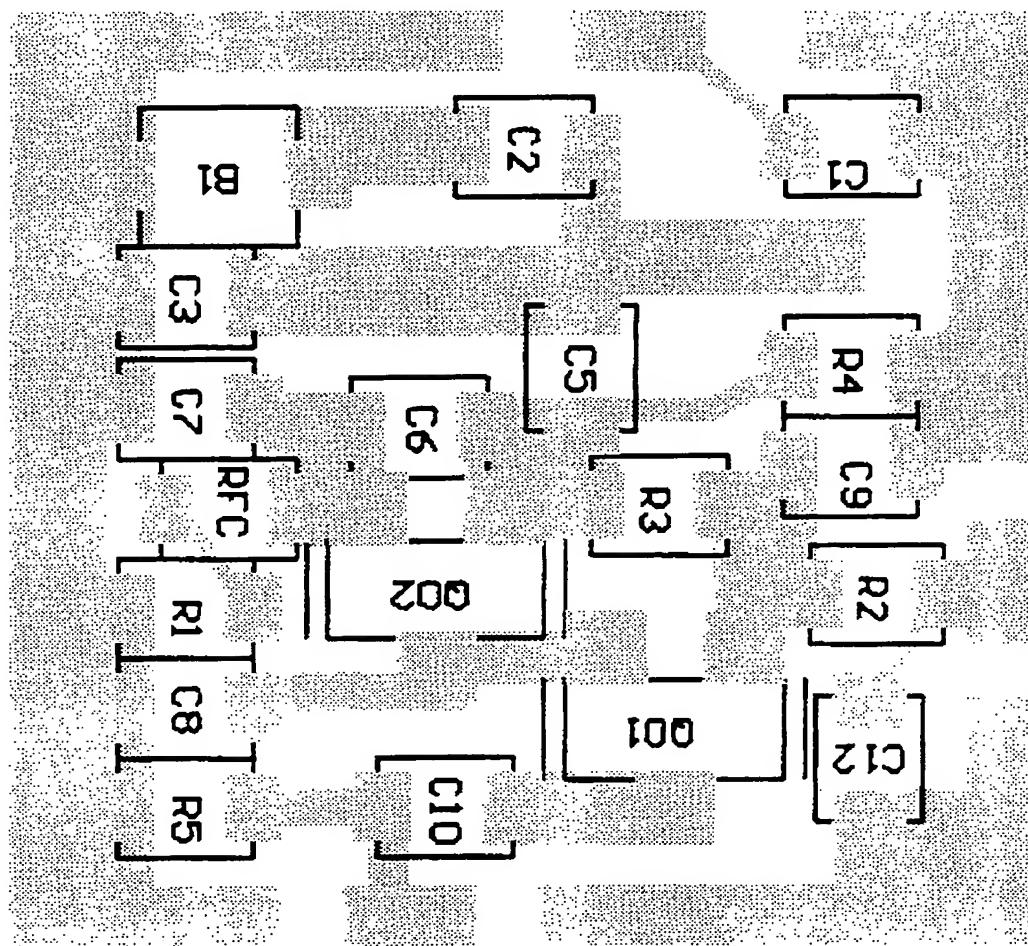


第四圖A

201

429670

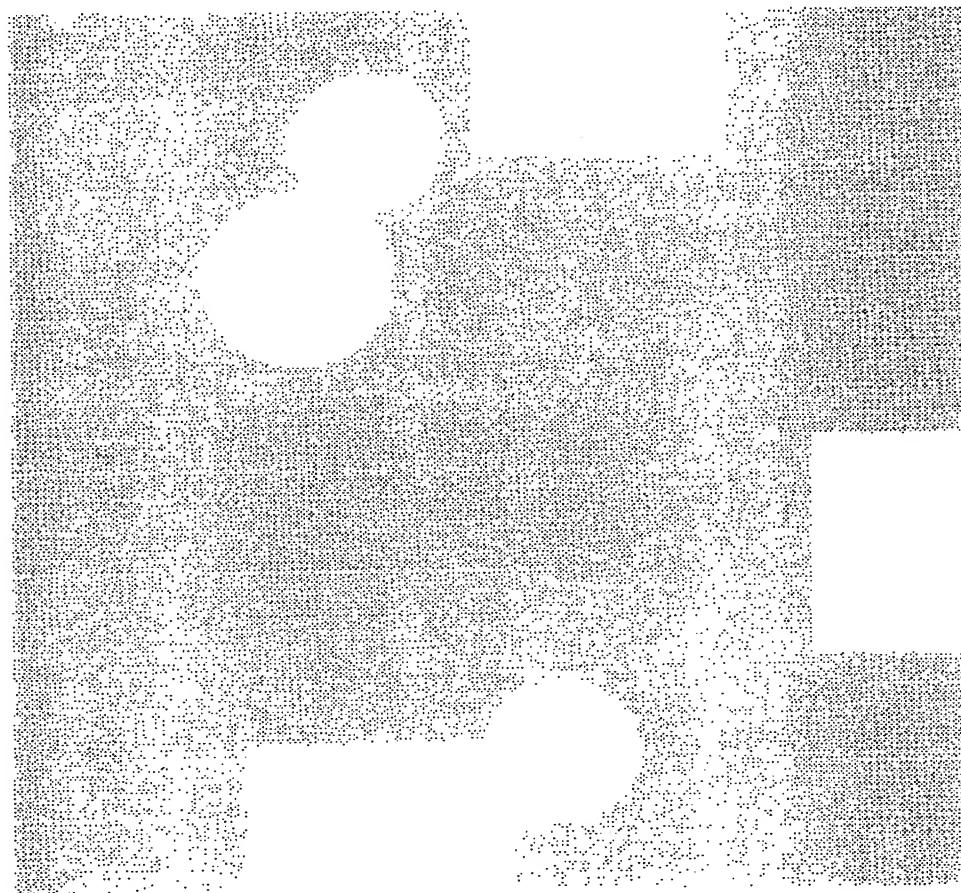
圖式



201

429670

圖式



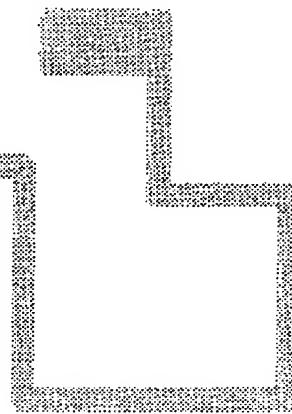
第四圖C

202

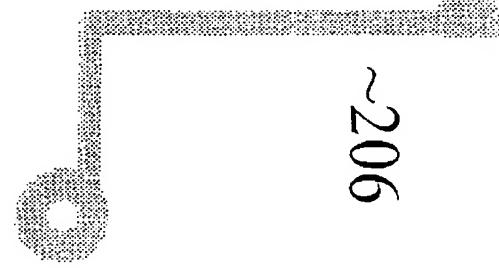
429670

圖式

205~

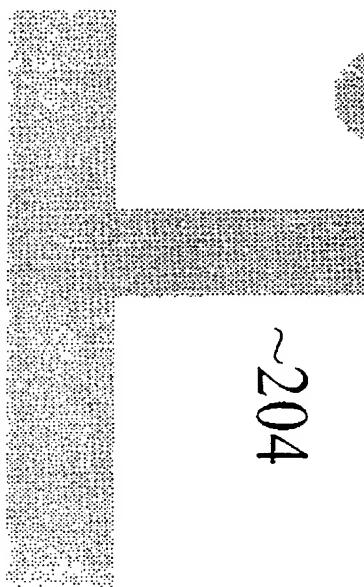


~204



~206

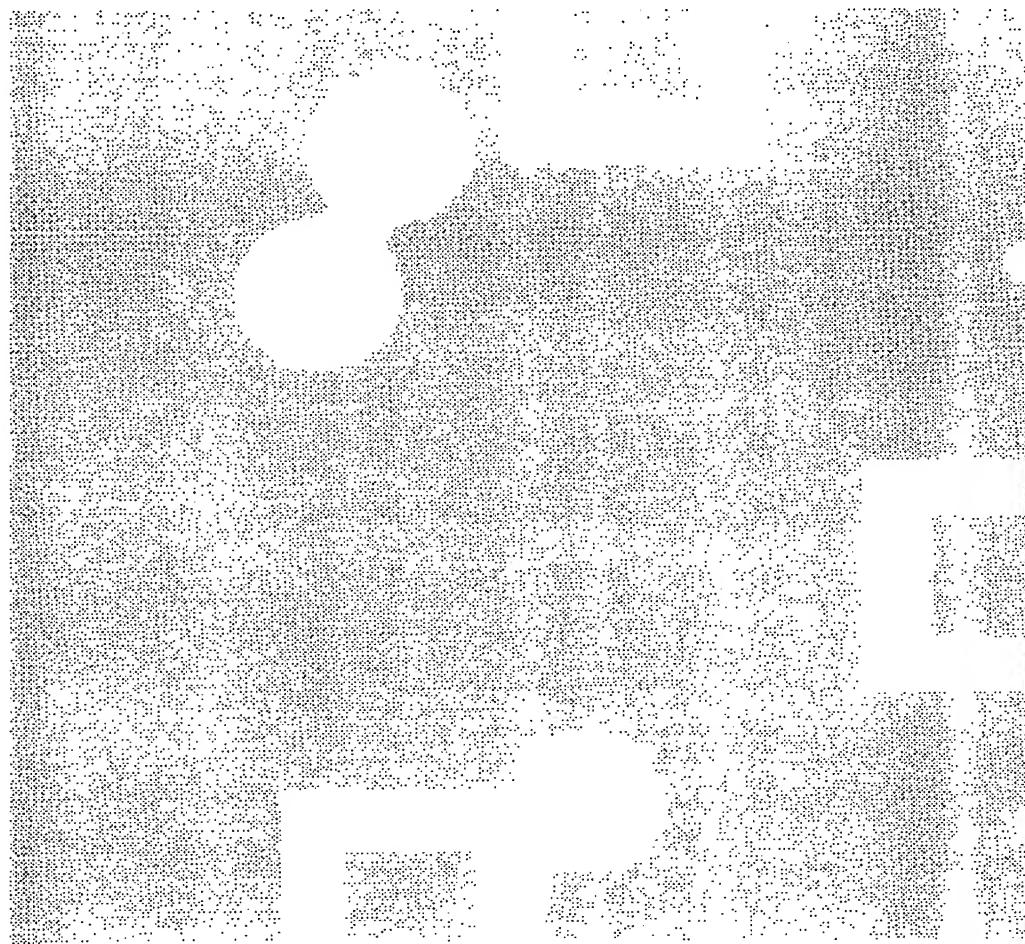
~203



第四圖D

429670

圖式



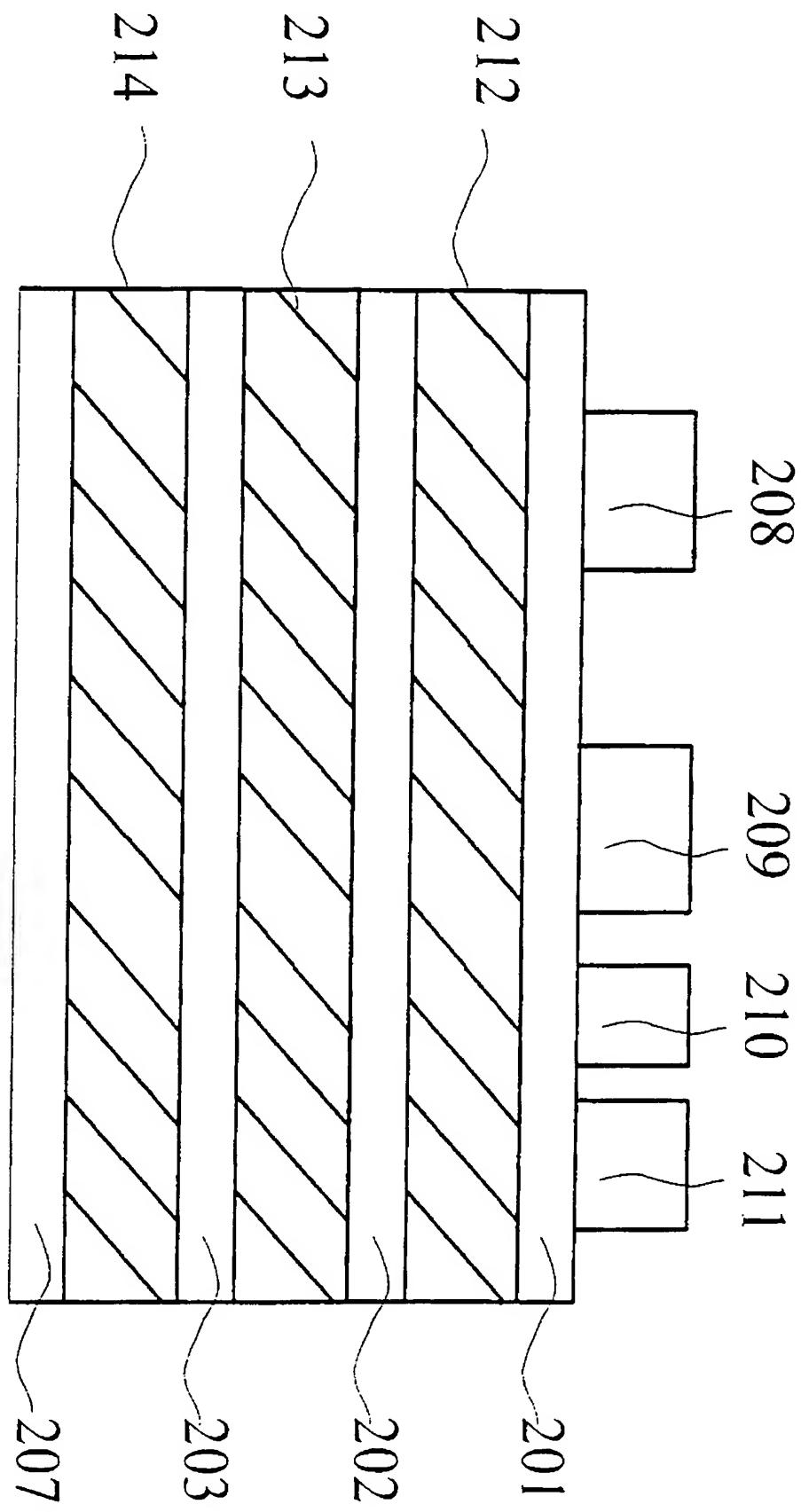
第四圖E

207

429670

圖式

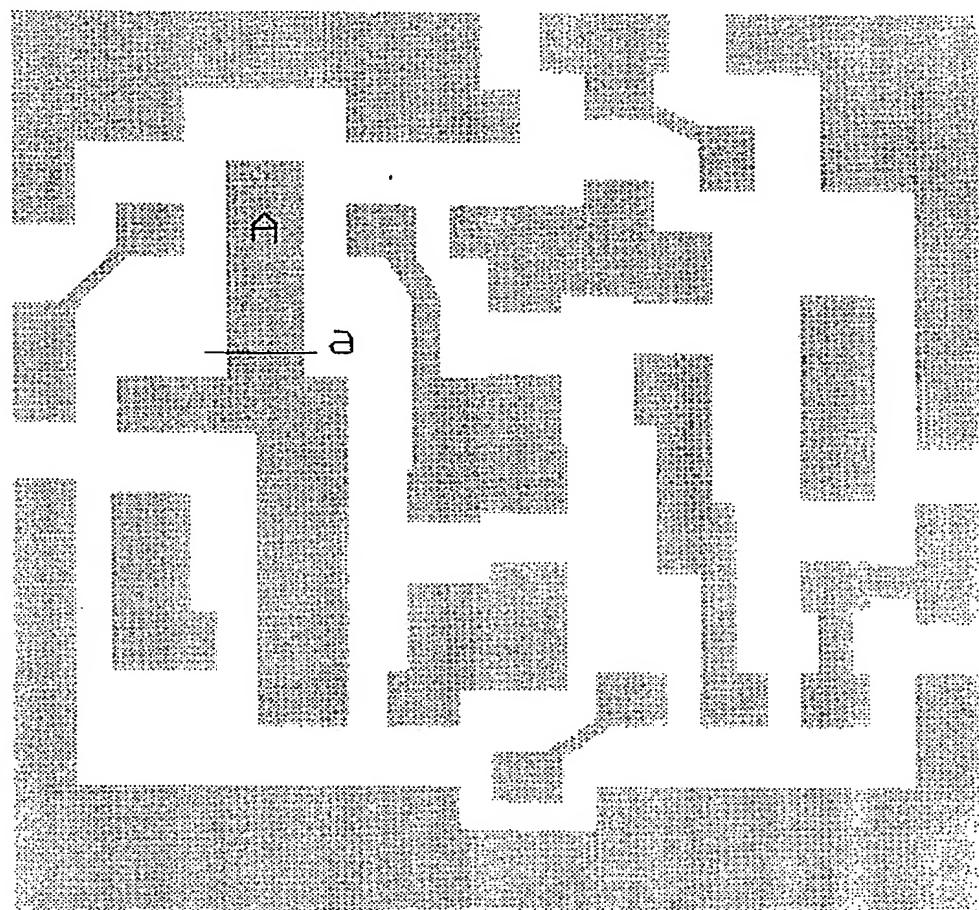
第四圖F



429670

90年1月2日 修正  
補充

圖式

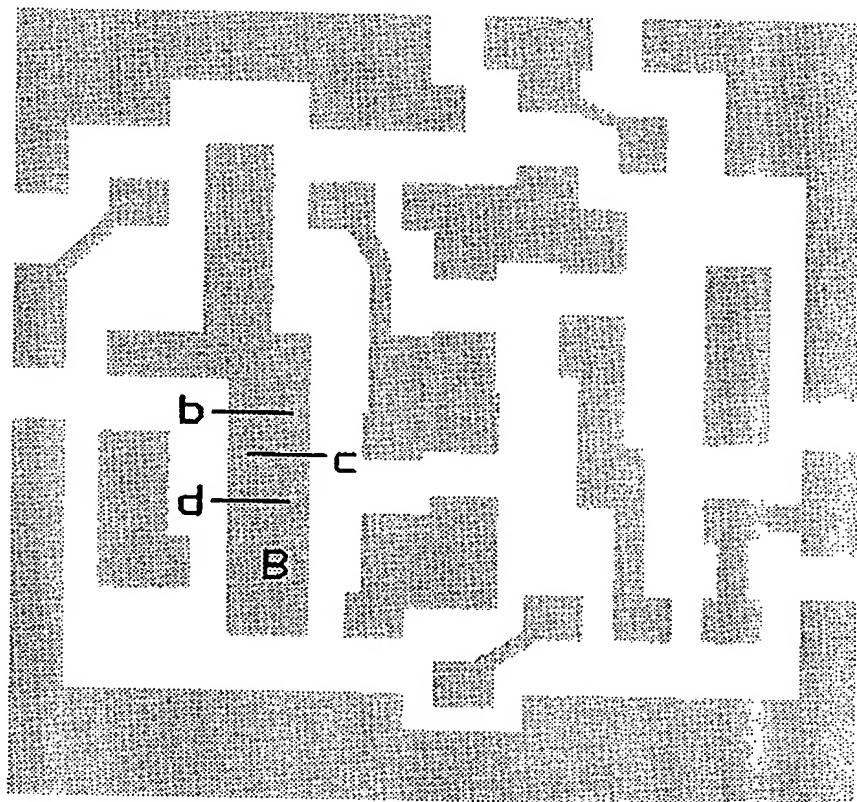


第五圖

429610  
429670

修正  
10年1月2日  
總

圖式



第六圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**